

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2001-519092
(P2001-519092A)

(43) 公表日 平成13年10月16日 (2001. 10. 16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/105		G 1 1 C 11/14	Z
G 1 1 C 11/14		H 0 1 L 27/22	
H 0 1 L 27/22		27/10	4 4 7

審査請求 未請求 予備審査請求 有 (全 52 頁)

(21) 出願番号 特願平10-542930
(86) (22) 出願日 平成10年4月6日 (1998. 4. 6)
(85) 翻訳文提出日 平成11年10月4日 (1999. 10. 4)
(86) 国際出願番号 P C T / U S 9 8 / 0 6 6 2 7
(87) 国際公開番号 W O 9 8 / 4 5 8 4 6
(87) 国際公開日 平成10年10月15日 (1998. 10. 15)
(31) 優先権主張番号 0 8 / 8 3 3 , 1 5 1
(32) 優先日 平成9年4月4日 (1997. 4. 4)
(33) 優先権主張国 米国 (US)
(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP, KR

(71) 出願人 マグネティック セミコンダクターズ, インコーポレーテッド
アメリカ合衆国 カリフォルニア 95014
カパティーノ エス デアンザ ブルヴァード 10430 スイート 260
(72) 発明者 マックドウェル, ジョセフ
アメリカ合衆国 カリフォルニア 95030
ロス ガトス スカイライン ブルヴァード 11715
(72) 発明者 ハリス, ジェームズ
アメリカ合衆国 カリフォルニア 95070
サラトーガ ベッパレーン 15140
(74) 代理人 弁理士 志賀 正武 (外8名)

最終頁に続く

(54) 【発明の名称】 高効率小型磁気集積回路の構造

(57) 【要約】

磁気集積回路構造は、磁気半導体メモリを実現する目的のために望ましい特徴を示している。キャリア偏向型の磁界センサ (100) と協同して、種々の磁気構造の各々は、磁界が感度電流のキャリアの移動方向と実質的に直交する状態を実現し、これにより、最大限の感度を達成している。概して、前記磁気構造 (100) は、高効率であり、かつ、高い次元の磁界制御を達成する。磁気メモリセルを単一の最小サイズのMOSデバイスに基づかせることにより、従来のDRAMまたはフラッシュメモリと比較して勝るとも劣らない小さなセルを実現することができる。前記磁気構造により与えられる、より高い次元の、磁界に対する制御は、記憶すべきメモリアレイ内のセル間における交差対を最小限にすることを可能にする。

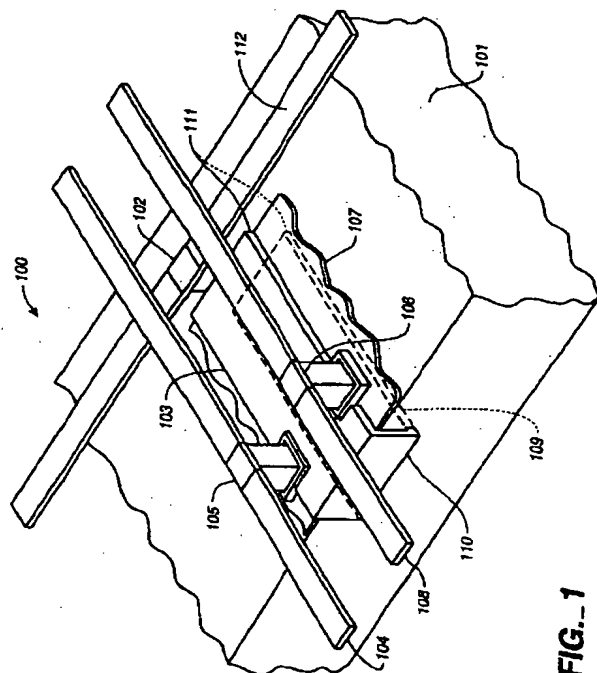


FIG. 1

【特許請求の範囲】

1. 集積回路と、電流偏向型の磁界センサと、感度電流に対して実質的に直交する方向に磁界を確立する手段とを備える磁気集積回路構造を具備し、

前記磁界センサにおいて、前記感度電流が生成されることを特徴とする磁気集積回路。

2. 前記センサは、電界効果トランジスタを具備することを特徴とする請求項1に記載の磁気集積回路。

3. 前記電界効果トランジスタは、ソース領域と多数のドレーン領域とを有するmagFETであることを特徴とする請求項2に記載の磁気集積回路。

4. 前記magFETには、前記ソース領域と多数の前記ドレーン領域との間においてチャンネルを画定するゲートが少なくとも1つ設けられており、前記ゲートの電位は、前記感度電流の流れを制御していることを特徴とする請求項3に記載の磁気集積回路。

5. 前記magFETには、磁界を確立する前記手段の一部を形成する強磁性体ゲートが設けられていることを特徴とする請求項4に記載の磁気集積回路。

6. 磁界を確立する前記手段は、
前記チャンネルの下に横置される磁性材料の層と、
前記磁性材料の層を、前記強磁性体ゲートに接合させる磁性材料の壁部とをさらに具備することを特徴とする請求項5に記載の磁気集積回路。

7. メモリセルアレイを形成するために相互接続された前記磁気集積回路構造を複数具備しており、

前記磁気集積回路構造の各々は、情報ビットを記憶し、

前記アレイ内における行方向に隣接する磁気集積回路構造は、情報ワードの異なるビットを記憶するように指定された行を形成し、かつ、

前記アレイ内における列方向に隣接する磁気集積回路構造は、異なる情報ワードの対応ビットを記憶するように指定された列を形成している
磁気集積回路において、

前記行方向に隣接する磁気集積回路構造のそれぞれの第1ドレーン領域は、前記行に対する第1差動データ線に連結されており、

前記行方向に隣接する磁気集積回路構造のそれぞれの第2ドレーン領域は、前記行に対する第2差動データ線に連結されていることを特徴とする請求項4に記載の磁気集積回路。

8. 各々の列内において、前記列方向に隣接する磁気集積回路構造のそれぞれのゲートは、前記列に対する読み出し／書き込み選択線に連結されていることを特徴とする請求項7に記載の磁気集積回路。

9. 各々の列内において、前記列方向に隣接する磁気集積回路構造のそれぞれのゲートは、基準電位に共通に連結されていることを特徴とする請求項8に記載の磁気集積回路。

10. 各々の磁気集積回路構造は、前記行方向に隣接する磁気集積回路構造と共通のソースを共有することを特徴とする請求項7に記載の磁気集積回路。

11. 前記ゲートは、第1および第2の電氣的に別個の部分に分岐されることを特徴とする請求項7に記載の磁気集積回路。

12. 前記ゲートの第1部分は、前記第1ドレーンに連結され、かつ、前記ゲートの第2部分は、前記第2ドレーンに連結されていることを特徴とする請求項11に記載の磁気集積回路。

13. 前記第1ドレーンおよび前記第2ドレーンは、正フィードバックと増幅とをもたらすための回路に連結されていることを特徴とする請求項12に記載の磁気集積回路。

14. 磁界を確立する前記手段は、
前記強磁性体ゲートに接触して形成された強磁性体コア部材と、
複数の金属層のそれぞれに形成された複数のトレースと
をさらに具備し、

複数の前記トレースのうちの選択されたものは、前記強磁性体コア部材の周囲に巻きを形成するように互いに接触することを特徴とする請求項5に記載の磁気集積回路。

15. メモリセルアレイを形成するために相互接続された前記磁気集積回路構造を複数具備しており、

前記磁気集積回路構造の各々は、情報ビットを記憶し、

前記アレイ内における行方向に隣接する磁気集積回路構造は、情報ワードの異なるビットを記憶するように指定された行を形成し、かつ、

前記アレイ内における列方向に隣接する磁気集積回路構造は、異なる情報ワードの対応ビットを記憶するように指定された列を形成している
磁気集積回路において、

前記行方向に隣接する磁気集積回路構造のそれぞれの第1ドレーン領域は、前記行に対する第1データ線に連結されており、

前記行方向に隣接する磁気集積回路構造のそれぞれの第2ドレーン領域は、前記行に対する第2データ線に連結されている

ことを特徴とする請求項14に記載の磁気集積回路。

16. 各々の列内において、前記列方向に隣接する磁気集積回路構造のそれぞれのゲートは、前記列に対する読み出し／書き込み選択線に連結されていることを特徴とする請求項15に記載の磁気集積回路。

17. 複数の前記トレースは、第1および第2コイル末端を有するコイルを形成し、かつ、行内における磁気集積回路構造のそれぞれの第1コイル末端は、前記行に対するデータ書き込み線に連結されていることを特徴とする請求項15に記載の磁気集積回路。

18. 前記磁気集積回路構造のそれぞれの第2コイル末端は、前記磁気集積回路構造のそれぞれのソースに連結されていることを特徴とする請求項17に記載の磁気集積回路。

19. 複数の前記トレースは、末端を有するコイルを形成し、かつ、行内における磁気集積回路構造のそれぞれの末端は、前記行に対するデータ書き込み線に連結されていることを特徴とする請求項15に記載の磁気集積回路。

20. 前記磁気集積回路構造のそれぞれのポストは、前記磁気集積回路構造のそれぞれのソースに連結されていることを特徴とする請求項19に記載の磁気集積回路。

21. 最上部の金属層におけるトレースは、薄い絶縁層を介して、前記強磁性体コア部材の最上部に磁氣的に連結されていることを特徴とする請求項14に記載の磁気集積回路。

22. 多数の安定した磁性状態を有しており、前記磁性状態のうちの異なる状態が容易に識別されることを可能にする磁気集積回路構造であって、

ヘテロ接合のインタフェースにおける小型磁石および2次元電子ガスと、

集積回路および電流偏向型の磁界センサと、

感度電流に対して実質的に直交する方向の磁界を有する小型磁石とを具備し、

前記磁界センサにおいて、前記感度電流が生成されることを特徴とする磁気集積回路構造。

23. 集積回路と、ホール型の磁界センサと、感度電流に対して実質的に直交する方向に磁界を確立する手段とを備える磁気集積回路構造を具備する磁気集積回路において、

磁界を確立する前記手段は、

ゲートを有するmagFETと、

前記ゲートと接触して形成された強磁性体コア部材と、

複数の金属層のそれぞれに形成された複数のトレースとを具備し、

複数の前記トレースのうちの選択されたものは、前記強磁性体コア部材の周囲に巻きを形成するように互いに接触することを特徴とする磁気集積回路。

24. 前記magFETは、3つのドレーンを具備しており、該3つのドレーンは、前記magFETの前記ソースと整列された中央のドレーンと、前記中央のドレーンからずらされた2つのさらなるドレーンとであることを特徴とする請求項3に記載の磁気集積回路。

【発明の詳細な説明】

高効率小型磁気集積回路の構造発明の背景

本発明は、磁気半導体メモリにおける使用に適した磁気集積回路の構造に関する。

従来技術

コンピュータメモリ技術は、この20年間で絶大な進歩を遂げてきた。初期の可能なコンピュータメモリ技術は、磁気コアメモリの技術であった。磁気コアメモリを形成するために、トロイド形状の、見かけ上無数の小型フェライトコアが、（3本以上のワイヤが各々のコアの中心を通過するような）細密なワイヤのマトリクス内に丹念に織り合わされていた。磁化電流を印加することにより、各々のコアを、ロジック1およびロジック0を表す2つの異なる磁性状態のうちの一方向に、それぞれ配することができた。電流一致（coincident current）技術が、データの読み出しおよび書き込みのための特定のコアを選択するために用いられていた。コアメモリは不揮発性であり、これは、電源サイクルに関してデータが変更されないままであることを意味する。つまり、電源については、メモリから除去することができ、かつ後で、メモリの内容を変更せずに再印加することができる。さらに、コアメモリは、“耐放射線”特性があり、 γ 線のような電離放射線により動作に影響を受けない。それでもなお、概して、コアメモリは、その製造に大きな労力が必要なこととそのサイズとのために、半導体メモリの方が選ばれて、長い間避けられてきた。

現在、最も一般的なメモリ技術は、MOS DRAM（Metal-Oxide-Semiconductor Dynamic Random Access Memory）技術である。MOS DRAMにおいて、データビットは、単一のトランジスタを介して単一の容量性記憶装置に電荷を注入または該装置から電荷を除去することにより記憶される。256MBまでの非

常に高密度のMOS DRAMチップが達成されてきた。DRAMは、概してMOSデバイスのように電力消費が小さい。しかしながら、容量性記憶装置から漏れが生じるので、DRAMを、頻繁にリフレッシュする（各々の容量性記憶装置

における正確な電荷を復帰させる) 必要がある。さらに、不揮発性でありかつ “耐放射線” 特性があるコアメモリと比較すると、DRAMはいずれの特性も有していない。したがって、不揮発性メモリと急速にアクセスできるメモリとに対する必要性は、多数の異なるタイプのメモリ（すなわち、（フラッシュ、EEPROM、強誘電性メモリ、EPROMディスク、テープ等のような）不揮発性メモリおよび（DRAM、SRAM等のような）揮発性メモリの両方）を含むメモリ階層の利用を求めている。フラッシュ、EEPROM、および強誘電性メモリのタイプは、不揮発性であるが、消耗前において有限回の書き込みサイクルを有しており、かつ、この書き込みサイクルは、読み出しサイクルよりも実質的に遅い。その結果、メモリ階層は、種々の精巧さの程度のメモリI/Oアーキテクチャを必要とする。パーソナルコンピュータの場合には、コンピュータのスタートアップまたは“立ち上げ”には、不揮発性メモリから揮発性メモリへ情報を伝送する必要性の結果として、かなりの時間がかかることがある。

明らかに、密度、電力消費、書き込みサイクルの速度という点に関して、DRAMと比較可能な不揮発性の半導体メモリがはるかに望ましい。この目的に対して、とりわけ、米国特許第5, 329, 480号明細書、米国特許第5, 295, 097号明細書、米国特許第5, 068, 826号明細書、米国特許第4, 887, 236号明細書、米国特許第4, 803, 658号明細書、および米国特許第3, 727, 199号明細書により例示されるような幾つかのメモリ構造が提案されてきた。不運にも、このような磁気半導体メモリを完全なものにする努力は、大抵が不成功に終わってきた。1つの障害は、従来技術の磁界感知デバイスの感度の低さであり、小さな内蔵可能な永久磁石を構成することができないことであった。公知の感知機構は、例えば、“magFET”として知られるデバイスを用いたキャリア偏向のものである。magFETは、単一のソースと2つ以上のドレーンとを有する電界効果トランジスタ(FET)である。磁界は、デバイスのチャンネル領域に存在するときには、磁界の強さおよび方向に応じて、一方のドレーンから他方のドレーンへキャリアを偏向させることができる。

より詳細には、磁界を通過する電荷キャリアは、ローレンツ力として知られる

力を受ける。このローレンツ力は、磁界の変更に応じてキャリアを偏向させる傾向がある。電荷キャリアが受けるローレンツ力 (F) は、ベクトル方程式 $F = q v \times B$ により与えられる。ここで、 q はキャリアの電荷であり、 v はキャリアの速度であり、 B はキャリアが通過する磁界である (v , B はテンソル量である)。(例えば、C. S. Roumenin, Handbook of Sensors and Actuators, Volume 2, Section 1.3を参照。) ローレンツ力は、つまりキャリア偏向は、磁界がキャリアの移動方向と実質的に直交しているときに最大となる。一般に、従来技術は、組み込まれたセンサに検出可能な信号を発生させることを可能にするのに十分な大きさの直交磁界を達成するはるか手前のレベルにしか達していなかった。

提案された従来の磁気半導体メモリについては、他の短所も現れている。DRAMに首尾よく匹敵させるために、(磁気構造においてさらなる巻きにより供給されるゲインを実施した後の) 磁気半導体メモリビットセルは、その数回巻きの永久磁石構造を通る磁化電流を、単一かつ小型のMOSデバイスから利用可能である電流(通常はおよそ3mA以下である)よりも多く必要とすべきではない。さらに、このようなセルの磁性材料は、メモリアレイ内で隣接するセルに悪影響を及ぼさないように十分に良質である必要がある。概して、従来技術は、全ての商業上の要件を満足させる磁気半導体素子を提供できなかった。

発明の概要

本発明は、概して述べれば、記載されるタイプの磁気半導体メモリを実現する目的のために望ましい特徴を示す磁気集積回路構造を提供する。種々の永久磁石構造が開示されており、これらの永久磁石構造の各々は、キャリア偏向型またはホール効果 (Hall effect) の磁界センサと協同して前記磁界が感度電流 (sense current) のキャリアの移動方向と実質的に直交する状態を実現しており、これにより、最大限の感度を達成している。概して、前記磁気構造は、高効率であり、かつ、前記磁界に対して高い次元の制御を行う。結果として、MOSデバイス

のような小型のデバイスは、磁化電流を供給する目的を満足させる。磁気メモリセルを最小サイズのMOSデバイスに基づかせることにより、従来のDRAMセルと比較して勝るとも劣らない範囲の、小さなセルを実現することができる。前

記磁気構造により与えられる、磁界に対する高い次元の制御は、メモリアレイ内のセル間における干渉を最小限にする。プログラミング電圧や、EEPROMまたはEPROMにおいて用いられるタネリング (tunneling) や、または疲労傾向のある (fatigue-prone) 強誘電性の薄いフィルムよりも磁性材料を用いる主な利点は、磁性材料は、公知の消耗の仕組みを有しておらず、かつ、明らかに極限的な回数の反転または書き込みサイクルが有効であるということである。このことは、他の技術には当てはまらない。

図面の簡潔な説明

本発明については、添付図面と協同した以下の説明によってさらに理解することができる。

図1は、磁気半導体メモリにおける使用に適した1つの磁気集積回路構造の斜視図である。

図2は、図1の磁気集積回路構造の平面図である。

図3は、図2の磁気集積回路構造の断面III-IIIに沿って切断した断面図である。

図4は、図2の磁気集積回路構造の断面IV-IVに沿って切断した断面図である。

図5は、磁気半導体メモリにおける使用に適した他の磁気集積回路構造の斜視図である。

図6は、ソレノイドのコアが破線で示されているという点で、図5と異なる図である。

図7は、ソレノイドのコイルのみが示されているという点で、図6と異なる図である。

図8は、磁気半導体メモリにおける使用に適したさらなる磁気集積回路構造の分解図である。

図9は、図8の磁気集積回路構造の等軸図 (isometric view) である。

図10は、図8の磁気集積回路構造を回転させた分解図である。

図11は、図8の磁気集積回路構造を回転させた等軸図である。

図12は、図8の磁気集積回路構造の平面図である。

図13A～図13Cは、磁気半導体メモリセルの概略的な図である。これらの図において、図5または図8の磁気集積回路構造は、ある従来の磁界センサの配列と組み合わされているか、または組み合わせられ得る。

図14は、ある磁気半導体メモリセルの概略的なブロック図である。この図において、図5または図8の磁気集積回路構造は、他の従来の磁界センサの配列と組み合わせられているか、または組み合わせられ得る。

図15は、図1の磁気集積回路構造を用いた磁気半導体メモリセルアレイの斜視図である。

図16は、図15の磁気半導体メモリセルアレイの平面図である。

図17は、図16の磁気半導体メモリセルアレイの断面XVII-XVIIに沿って切断した断面図である。

図18は、図16の磁気半導体メモリセルアレイの断面XVIII-XVIIIに沿って切断した断面図である。

図19は、図5の磁気集積回路構造を用いた磁気半導体メモリセルアレイの斜視図である。

図20は、図19の磁気半導体メモリセルアレイのセルの等価回路の図である。

図21は、ある方法に従って、図1のような磁気集積回路構造を形成するための処理の流れのステップのリストである。

図22は、図1のような磁気集積回路構造に関する図21の処理の流れに対応する断面図である。

図23は、ある方法に従って、図5のような磁気集積回路構造を形成するための処理の流れのステップのリストである。

図24は、図5のような磁気集積回路構造に関する図23の処理の流れに対応する断面図である。

図25は、図24の断面図に対応する平面図である。

図26は、本発明のメモリセルに連結されたバッファ回路の概略的な図である。

好ましい実施形態の詳細な説明

以下に、図1を参照すると、磁気半導体メモリにおける使用に適した磁気集積回路構造の斜視図が示されている。磁気集積回路構造100は、半導体（例えば、シリコン）基板101上に形成されており、かつ、magFETを、すなわち、ソース接触子102により接触された単一のソース領域と、ゲート電極103と、それぞれのドレーン接触子105、106により接触された多数のドレーン（2つが示されている）とを有するFETを組み込んでいる。ソース接触子は、ソース線112に接合されている。それぞれのドレーン接触子105、106は、ドレーン線104、108にそれぞれ接合されている。磁気集積回路構造100は、従来のmagFETと異なってもよいが、それは幾つかの重要な点においてである。従来のmagFETとは違い、磁気集積回路構造100のゲート電極103は、強磁性体から形成されている。ゲート電極、すなわち、“強磁性体ゲート”103は、数十オングストロームのみの厚さを有するゲート酸化物層107により、横置されたデバイスチャンネルから隔離されている。強磁性体ゲートは、デバイスチャンネルと物理的に非常に近接しているので、強磁性体ゲートがさらなる協同強磁性体部材に磁氣的に連結されている際に、僅かな磁束を失うだけで、デバイスチャンネルを通して磁界を方向づけることができる。とりわけ、磁気集積回路構造100は、協同する強磁性体部材が垂直方向磁界発生器として機能するという点において、米国特許第4,803,658号明細書のような従来技術とは異なっている。米国特許第4,803,658号明細書は、ローレンツ力の結果であるホール効果に依存しているのに対し、本発明の構造においては、ローレンツ力自体が偏向のために用いられている。

本明細書においては、従来の2または3ドレーンのmagFETとともに、または2次元の電子ガスインタフェースとともに機能することができる種々の協同する強磁性体部材が記載されている。2次元電子ガスインタフェースは、現在知られている最も薄い（通常の100オングストロームの逆転層よりもはるかに薄い）電荷シートである。2次元電子ガスインタフェースは、磁界に対して非常に

鋭敏であると考えられている。本発明の磁気構造は、2つの異なる物質のインタフェース（すなわち、ヘテロ接合）において形成されたいわゆる電子ガス内の粒子を強く偏向させると予想され得る。このmagFETは、強磁性体ゲートを有していてもいなくてもよい。協同する強磁性体部材109は、強磁性体ゲート103に接合されて、C形状の部材110を形成している。C形状部材110は、前記構造100内に組み込まれたmagFETのキャリアチャンネルを包囲し、かつ、“締めつけて”いる。C形状部材の対向する端部間のギャップ111は、非常に狭い磁束ギャップを形成している。デバイスソースは、磁束ギャップの長さの範囲内を中心としている。前記ギャップに対するC形状磁束パスの長さの比率については大きくすることができ、かつ、フリンジフィールドは小さいので、前記構造100の磁氣的効率は高い。

図2には、図1の前記構造100の平面図が示されている。図3および図4には、図2の平面図におけるIII-IIIおよびIV-IVで切断した断面図がそれぞれ示されている。

図3をより詳細に参照すると、強磁性体ゲート103と協同強磁性体部材109とから形成されたC型クランプ部材110が明確に見える。協同する強磁性体ゲート109は、本明細書中で後程詳述する技術を用いて、半導体基板101内に形成されている。ソース拡散領域312は、半導体基板101内に形成されている。強磁性体ゲート103は、厚い方の酸化物層315の一部である薄い酸化物層107の上方に形成されている。ソース拡散領域312に対する接触子102は、酸化物層315内に形成されている。2つのドレーン線104、108のうち、ドレーン線108は図3に見られ、酸化物層315の上方に形成されている。ドレーンの側面が参照用に示されているが、図3において、いずれのドレーンも実際には見ることはできない。

図4において、前記2つのドレーン接触子のうちの1つが見える。ドレーン接触子105は、前記ドレーン線から下方に、かつ、強磁性体ゲート103の”ノッチ”を通して延び、これにより、ソース／ドレーン拡散領域406に接触している。図3に示された断面図が強磁性体ゲート103を端部にして取られている

ので、協同する強磁性体部材はもはや見えなくなっている。酸化物層315内には、ソース線112が見える。さらに、ゲート線410が結合され得る強磁性体ゲートの一部が見える。幾つかの構成においては、第3のドレーンを用いてもよい。中央のドレーンについては、電流ソースまたは幾何学的レイアウトを用いることにより、2つの外側ドレーンよりも多くの電流を引き込むように設計してもよい。これにより、2つの外側ドレーンの感度が増大し、かつ、感度増幅器の入力の、必要とされるダイナミックレンジが減少する。

図1の前記構造100の前記協同する強磁性体部材109については、幾つかの代替方法のうち任意のものにより形成してもよい。

1つの方法（単一のデバイスのみの製造について説明している）においては、C型クランプの底部部材を収容するために、凹所が半導体内に形成され、これにより、前記C型クランプが蒸着される。表面は平面状にされ（planarized）、かつ、酸化物層が、ウェーハの表面上で増大する。次に、ソース領域およびドレーン領域は、パターン化され、かつ、酸化物を通してシリコンへ解放される。次に、エピタキシャルシリコンが、例えば、J. A. Friedrich等によるJl. Applied Physics, 65 (4), (15 Feb. 1989), 1713に記載された技術のような、絶縁体上のシリコン（Silicon-On-Insulator: SOI）を用いて、シリコンの底部部材の上に置かれるように増大する。いったん、C型クランプの底部部材がシリコン内に埋め込められると、残りの製造段階については、従来技術を用いた簡単な方法で行ってもよい。最終的に、強磁性体ゲートは、これもまた従来技術を用いて、協同する強磁性体部材と接触して形成される。

図22および図23には、前述した方法に従って辿られた処理の流れが、より詳細に示されている。

図1の実施形態において、前記協同する強磁性体部材は、前記構造を形成するために用いられる処理段階の順序の初期に形成される。後続の種々の処理段階は、高温にて行われることを必要としてもよい。必要とされる特定の処理段階および特定の温度に応じて、協同する強磁性体部材の強磁性体特性は、容易に制御できない方法で影響を受けてもよい。したがって、図1のC型クランプ部材は、非

常に望ましい磁気特性を示すが、処理が複雑である。他の種々の協同する強磁性体構造も用いることができる。図1の協同強磁性体構造を備える種々の協同強磁性体部材は、磁気特性と処理の必要性とに関して様々な交換条件を提示する。

図5を参照すると、協同する強磁性体構造として、図1の協同強磁性体構造の代わりに用いることができるソレノイド500が示されている。このソレノイドのが相関図が図6および図7に示されており、図6には、ソレノイドのコア501が破線で示されており、かつ、図7には、ソレノイドのコイル503のみが示されている。ソレノイドの平行パイプ形状の(parallelpiped-shaped)コアは、強磁性体材料から形成されており、かつ、電氣的に伝導性があるべきである(例えば、パーマロイ(PERMALLOY))。ソレノイドのコイルは、導電性材料から形成されており、かつ、強磁性体でもあるべきである。例えば、コアおよびコイルの両方は、パーマロイから形成されてもよい。絶縁層は、従来の技術を用いてコアとコイルとの間に形成されている。

前記コアおよび前記コイルは、従来の半導体処理技術を用いて、層単位で(layer-by-layer)形成されている。図5の例において、ソレノイドは、層構造M₁I₁V₁M₂I₂V₂M₄I₃V₃を用いて形成されている。ここで、Mは金属(磁気)層を表し、Iは絶縁層を表し、かつ、Vは、同様に(磁性)金属のビア(via)層を表している。必ずしもそうではないが、通常は、ビア層は金属層よりもかなり厚い。

例えば、第1金属層M₁において、この金属層については、コアと周囲のトレースとの層を画定するようにパターン化してもよい。次に、ビアについては、V₁層に形成してもよく、ビアのうち、1つは相対的に大きな寸法であって、コアの層をさらに形成し、かつ、相対的に小さな寸法の他のビアは、M₁トレースに接続されている。ビアは絶縁層内に形成されることを特筆しておく。したがって、絶縁材料は、コア層と金属トレースとの間の隙間のギャップを満たす。次に、当業者にはよく知られているように、同様の段階がM₂、V₂層に対して行われる。

M₃層については、M₁層およびM₂層と同様の方法で処理してもよい。しか

しながら、V3層の場合には、単一のビアのみが、ソレノイドの一部をして形成される。後者のビアは、コアの最終層、すなわち、“冠石 (capstone)” である。

図24～図26には、前述した方法に従って辿られた処理の流れが、より詳細に示されている。コイルのトレースおよびコア層の両方を画定するために、共通のマスキング作業が用いられることを特筆しておく。

図5のソレノイドの磁性材料について考慮すると、コイルは、コアの周囲を約2.5回巻かれているので、磁性状態を切り換えるために必要な電流は、1回のみ巻かれた構造において必要な電流よりも低く、または非常に難しいが部分巻き (partial turn) の構造において必要な電流よりも低い。しかしながら、図5のソレノイドは、幾つかの構造において有効な電流よりも高いスイッチング電流を必要とする。

図8を参照すると、他のソレノイド構造の分解図が示されている。図9は、前記ソレノイドの等軸図 (isometric view) を示している。図10および図11は、回転させた分解図および等軸図をそれぞれ示している。図5のソレノイドと比較すると、図8のソレノイドは、より少ない巻き数——2.5回巻きではなく1.25回巻き——となっている。しかしながら、図8のソレノイドによって、結果的に、漂遊磁束 (stray magnetic flux) が殆どなくなる。図8のソレノイドは、多数のソレノイドを、交互嵌合の形で一緒に強く束ねることを可能にするという点で、さらに好都合である。無論、高密度は、あらゆるメモリ技術において、最も必要とされることである。

図5のソレノイドと同様に、図8のソレノイドは、従来の半導体処理を用いて層の形で形成されている。しかしながら、図8のソレノイドは、“貴族の上に金属を重ねる (metal-on-metal)” ——ビアは用いられていない——層構造を示している。コイルをポストから絶縁することが望ましい場合には薄い絶縁層を介して、または示されるような連続的な接続によってのいずれかで、コイルの最上段のトレースをコアに磁氣的に連結することにより、実質的に閉じた磁気パスが供給されている。図12は、図8のソレノイドの平面図を、破線で示したmag F

ETの平面図上に重ね合わせて示している。ソレノイドのコアは、magFETのゲート上を中心としている。ソレノイドのコイルの外側端部については、ソースおよびドレイン領域の中心とそれぞれ概略的に整列させてもよい。ある磁性状態において、例えば、磁束は、コアと、強磁性体ゲートと、横置されたデバイスチャンネルとを通過して下方に移動し、ゲートの外を取り囲み、コイルを通過して上方へ移動し、さらに、コアを通過して下方に戻る。磁化電流については、コイルを介して、あるいはまた、コイルとポストとを介して方向づけることができ、これにより、素子のスイッチングを補助するためにポストが用いられる。コイルおよびポストの寸法が $1\mu\text{m}$ 以下であれば、磁性領域は、多くの構造において望ましい単一の領域として機能することができる。

図8の例において、前記ソレノイドは、6つの金属層を用いて形成されている。金属層M1～M5の各々において、コア層が、 $1/4$ プラス巻きトレース（各々のトレースの“プラス”部分は、1つ以上の他のトレースの同様の部分と重複している）とともに形成されている。各々の連続するレベルにおいて、 $1/4$ 巻きトレースが、前のトレースに対し、 $1/4$ 回転だけ（例えば、時計方向に）回転する。したがって、金属層M1～M5の5つの $1/4$ 巻きトレースは、ともに1.25回巻きを形成する。金属層M6において、コイルおよびポストの電氣的絶縁が望ましい場合には、“キーパー”部材を形成することができ、この部材は、コアの最上部に載置され、薄い絶縁層によりコアから隔離されている。M5トレースは、電氣的接続性を供給しており、これにより、例えば、隣接するインターリーブソレノイドにより共有される共通の復帰バスへの接続が許容される。M1トレースは、各々のコイルに対して別個の電氣的接続性を供給する。

前述した種々の協同強磁性体構造については、図1のmagFETの強磁性体ゲートに、または、2つ以上のドレインと1つ以上のゲートとを備え、場合によっては強磁性体ゲートを備える従来のmagFETに連結することができる。前述した種々の協同強磁性体構造は、通常は、2つの異なる安定した磁性状態を示す。しかしながら、構造毎に多数ビットの記憶装置を供給すべく前記構造が1つ以上の主要なまたは副次的なヒステリシス軸により操作されるように、前記構造を設計することが可能である。前記構造の効率という理由により、安定した磁性

状態間において切り換わるのに必要なスイッチング電流は、単一の小さな寸法のMOSデバイスにより供給されるのに十分小さい。さらに、前述した種々の協同強磁性体構造は、各々が、m a g F E T内を流れる感度電流に実質的に直交している磁界を確立させ、これにより、キャリアの偏向とm a g F E Tの感度とを最大にする。これらの特性は、永久磁石構造を、他の分野における使用の他に、磁気集積回路メモリにおける使用のためにも理想的に適したものにしている。

前述した磁気集積回路構造の種々の要素については、m a g F E Tのような電流偏向型 (current-deflection-type) の磁界センサとは別に用いてもよい。詳細には、前述の構造は、種々の垂直方向の磁界を発生器と考えられるものを組み込んでいる。ここで、“垂直方向”とは、“水平方向”の半導体基板に対して指定された語である。したがって、前述した磁気集積回路構造の各々は、特に、前記構造が垂直方向の磁界を発生させる方法または垂直方向の成分を有するベクトル場に対して考慮される。

C型クランプ

前述したように、1950年代および1960年代の磁気メモリは、幾つかの、または全てのコイルに対して、ドーナツ形状（トロイド）の強磁性体材料の要素を用いていた。ワイヤは、コアの中心を通過して張られていた。電流は、時計方向または反時計方向にコイルを磁化するように、ワイヤを通過して2つの可能な方向のうちのいずれか一方に流されていた。コア内の磁界は、コア自体の範囲内に制限されており、かつ、他の機能に影響を及ぼすのに有効な磁界が殆ど存在しなかった。

磁気要素において、ギャップを構造内に導入することは通常のことである。ギャップが、強磁性体材料の長さと比較して小さければ、磁束は、ギャップを通過して続き、かつ、回路をこのギャップ内に配することを可能にし、したがって、磁界の存在する場所に存在することになる。ギャップは、空気または他の非磁性材料、またはシリコンのような常磁性材料であってもよい。

図1のC型クランプ磁気集積回路構造は、強磁性体材料から構成されている。MOSトランジスタは、実際には、C型クランプの磁性ギャップ内に設けられて

いる。C型クランプもまた、MOSトランジスタのゲートとして機能しかつトランジスタ構造の下部で続いているので、ギャップは小さくなっている。

MOSトランジスタは、チャンネルを反転させるべく作業機能を供給するために金属を必要とする。この作業機能については、様々なタイプの金属により供給することができ、通常は、アルミニウムおよびポリシリコンが用いられる。しかしながら、ニッケル鉄のような強磁性体材料を用いることができない理由はない。

前記C型クランプ構造をゲートとして用いることによって、磁界をMOSデバイスのチャンネルに全く垂直にすることができる。チャンネルを下方に貫通する磁界は、2つのドレーンの一方を幾らか偏向させ、かつ、C型クランプが反対方向に磁化されれば、チャンネルを上方に貫通する磁束は、他方のドレーンを幾らか偏向させる。

前記C型クランプを初期化して、その構造とギャップとを通して時計方向または反時計方向に電流を流すために、前記構造上の2つのドレーンが、MOSゲートとして電氣的に機能するC型クランプと協同して用いられる。言い換えれば、ドレーン-ゲート-ドレーン・トランジスタは、コアを通るワイヤとして用いられ、かつ、MOSデバイスの両方向性によって、電流は、どちらのドレーンがより高いポテンシャルにあるのかに応じて2方向のうちの一方に流れることができる。例えば、図1の要素110を通して時計方向における電流を書き込むために、要素106を7ボルトに上昇させ、かつ、要素105を接地することができる。反対方向に書き込むために、要素106を接地し、かつ、要素105を7ボルトに維持することができる。いずれの場合においても、チャンネルがソースとドレーンとの間に形成されるように、ゲート110をアクティブ状態にすることが必要である。

ソレノイド

ソレノイドは、その中心に比較的一定の磁界を生成する周知の要素である。ソレノイドは、通常は、ボビンにおける裁縫糸のように、適切なスプールに堅く巻かれたワイヤのグループからなっている。磁界を強めるために、強磁性体金属が

ワイヤのスプールの中央に挿入されてもよく、またはボビンとして機能してもよい。

さらに、コイルとポートとの自己絶縁をもたらすために、(二酸化クロムのような)電氣的に絶縁物であるがなおも強磁性体である材料を用いることが可能である。

前記磁界は、コア強磁性体要素により集中している。この磁界は、矩形要素の長さに沿って方向づけられている。磁束線は、磁界の極性に応じて、矩形コアの最上部を出て底部へ入るか、または逆方向に移行する。

前述した図5、図6、および図7は、ソレノイドの集積回路の実施手段 (implementation) を示す。図7は、ワイヤのコイルを示しており、各々の巻きが、垂直方向において異なる層の上に形成されており、かつ、図5および図6は、強磁性体コアを示している。ソレノイドは、水平方向に多数の部分的なループを構成することにより実施され、集積回路の金属の異なる層上の各々のループは、導体により満たされているビアホールにより実施されるループ間における垂直方向の接続を各々配線しかつ有している。底部から最上部への電流の流れは、1つの磁気化方向を生じさせる。ワイヤの最上部入力端子へ入り、かつ、ワイヤの底部から出る電流の流れは、逆の磁気化方向を生じさせる。

閉じた磁界線は強磁性体金属の底部を出ており、かつ、要素がMOSデバイスのゲート上に直接的に配置されているので、磁界は本質的にそのゲートに直交している。

DNAまたは交互嵌合ソレノイド

図8～図12に示した、いわゆるDNA構造は、上述したソレノイドの変形例である。DNA構造の目的は、低減した集積回路領域内に永久磁石構造を構成することを可能にすることである。このことは、1つの永久磁石のコイル巻きをインタリーブさせかつその隣のコイル巻きの間に割り込ませることにより達成され、これにより、多数の永久磁石が、ある共通の集積回路のスペースを共有することが可能になる。しかし、これらの永久磁石の独立性、さらに、必要であれば、電氣的な独立性は維持される。ソレノイドのように、コイルは、強磁性体コアの

周囲に巻きついている。ソレノイドとは違い、コイルは、“L”字形状の断片のグループから構成されており、この“L”字形状の断片については、ある断片が、異なる集積回路の層にある他の断片の上部に取りつけられる。図10に示した構造は、1.25回巻きのソレノイドのように機能し、その一方で、図7のソレノイドは、3回巻きとなっている。

磁石を磁化させる起磁力は巻き数に比例するので、DNAは、巻き数を減らすのが、集積回路領域の必要性を減らした。DNAは、ソレノイドのように、そのコアまたはポスト要素の端から端まで垂直方向の磁界を生成しており、このことは、コアの端から端まで電流を磁化する方向に依存している。強磁性体については、材料の選択に応じて、導電性であっても絶縁性であってもよい。ソレノイドとは違い、DNAは、有用なバリエーションを有している。

ケース1. 最も簡単な場合であって、ポストは、コイルから電氣的かつ磁氣的に絶縁されている。次に、ポストは、領域の必要性を低減させかつ1.25回巻き対3回巻きで、先述したソレノイドのように機能する。

ケース2. この例においては、コイルは、最上片を、例えば、二酸化シリコンのような絶縁物の小さな薄い層上に配置させ、次にポスト上に置くことにより、ポストから電氣的に絶縁されている。この構造は、絶縁層が磁気構造におけるギャップとして機能するように設計される。このギャップは、電氣的絶縁をもたらすために十分であるが磁氣的連続性をもたらすために十分薄いように設計される。この特徴は、メモリのような回路のデコード・スキームが、ワード線が永久磁石の記憶装置から絶縁されることを必要とするときに望ましい。

ケース3. さらに、ポストおよびコイルを、連続した磁性材料片にすることも可能である。強磁性体金属が導電性であれば、ポストおよびコイルの端から端まで電氣的伝導性をもたらすことができ、これにより、これらのポストおよびコイルは、単一の電磁要素として機能する。例えば、ポストおよびコイルが、矩形の1つの連続した要素に伸ばされ、これにより、棒状の磁石が形成されるのを視覚化することができる。例えば、サブミクロンの磁性材料のような、適切な幾何学的形状において、この構造は、単一の磁性領域として機能する。この構造への接続については、2つの方法のうちの1つで行ってもよい。コイルには、該コイル

の底部と最上部とにおいて、接触子を介して接触することができる。あるいはまた、2つの接触子を、一方をコイルに、他方をポストに対して、前記構造の底部に構成してもよい。この場合に、導電性の強磁性体ポストに電流を通すことは、永久磁石構造を切り換えるために必要とされる電流量を著しく低減させる。これは、磁化力が磁化ソースからの距離に比例するためである。ポスト磁化電流は、実際には、ポストそれ自体において作用し、かつ、該ポストにおいて作用しているコイルの磁化力よりも短い距離にある。DNA永久磁石は、スイッチング動作を補助すべく、コイルの巻きがポスト自体におけるポスト磁化力を補強するように設計される。

好ましい実施形態において、前述の協同する強磁性体構造は、ニッケル-鉄の混合物であるパーマロイから形成されている。材料の保磁力は、前記構造の安定性の尺度であり、かつ、前記構造を切り換えるために必要とされる磁化電流量の示度である。この構造は、通常は、20~100エルステッド用に設計されており、かつ、チャンネル周辺の磁界は、50~100ガウスである。次に、この保磁力および磁界は、約0.5ガウスおよび0.5エルステッドという地球の磁界を著しく超えており、かつ、信頼性のある記憶装置をもたらすのに十分に安定している。ニッケル-鉄の保磁力については、コバルトのような他の化合物を追加することを含む多数の方法と、フィルム蒸着の間に基板温度を調整することを含む多数の製造技術とにより調整することができる。前記構造を切り換えるために必要とされる起磁力は、主にギャップ長さの関数である。前記構造を切り換える（書き込む）ための電流値を小さくすることを可能にするためには、非常に小さなギャップが望ましい。

前述の磁気集積回路構造を用いた集積回路メモリについて、以下に説明する。

前述の磁気集積回路構造については、例えば、米国特許第5,068,826号明細書（マシューズ（Matthews）特許）および米国特許第3,714,523号明細書（ベイト（Bate）特許）のように、既存の磁気半導体メモリ構造および磁界センサ構造の範囲内で利点を得るために用いてもよい。前記2つの米国特許明細書は、ともに参照として本明細書に含まれている。磁気半導体メモリに適用する際に、元来想定されたようなこれらの構造は、前述した問題を被る（大きな

書き込み電流、大きなセルサイズ、漂遊電磁結合)。磁気構造の効率は、ギャップの長さと比較した際のコア内の磁束パスの長さの比率に直接関連している。この比率は、できる限り大きくあるべきである。前述の磁気集積回路構造において、この比率は大きく、このことは、従来技術における不都合の克服を可能にすることにおいて重要な要因である。

マッシューズ特許による従来技術のメモリセルを表している図13Aを参照すると、メモリセルのセンサ部10は、シリコン基板内に作られた半導体ホール(Hall)バーを具備している。駆動電流 I_d は、p+ドレーン領域14においてホールバーに入り、かつ、pソース領域15においてホールバーを出る。離間された領域14、15は、その間にチャンネル17を画定している。領域14、15、チャンネル17、および重なったポリシリコンゲート(図1には示されていない)の組合せは、通常のpチャンネル金属酸化物半導体(MOS)デバイスを形成している。pチャンネルMOSデバイスの制御電極に低い電位(例えば、ゼロボルト)を印加することにより、チャンネル17における基板表面のすぐ下方に逆転層が生成される。この逆転層は、駆動電流 I_d に対して導電パスを、流れに供給する。図1の特定の実施手段において、外部電圧ソース11は、駆動電流 I_d を発生させる。

1組のバイポーラトランジスタが、緩衝増幅器としてホールセンサ内に組み込まれている。これらのトランジスタは、トランジスタ28、29として図13Aに示されている。NPNトランジスタ28のベース-エミッタ領域は、領域19、21としてそれぞれ示されており、その一方で、(チャンネル17の反対側に配置されている)NPNトランジスタ29のベース-エミッタ領域は、領域18、22としてそれぞれ示されている。n型基板は、両方のトランジスタのための共通のコレクタとして作用する。マッシューズ特許において説明したように、MOSトランジスタの逆転層により発生するホール電圧は、抵抗によって(ohmically)ベース領域18、19に連結されている。こうして、電圧 V_{Hall} は、エミッタ21、22の電位差を生じさせ、次に、この電位差は、電圧センサ12により検出される。

図13Bを参照すると、図13Aに示されたマッシューズ特許によるものと同様

の磁気半導体メモリセルが断面図で示されている。しかし、この磁気半導体メモリセルは、図5および図8に関連して前述したタイプの1つであるソレノイド33を組み込んでおり、このソレノイド33については外形線で示している。示してある断面図は、図13Aの断面A-A'に対応している。離間されたp+領域14、15は、n型基板27内に作られて示されている。領域14、15は、通常の拡散技術またはイオン注入技術を用いて作られている。ポリシリコンゲート24は、チャンネル17のすぐ上方に形成されている。ゲート24は、下方にあるゲート酸化物26により基板27から、かつ、上方にある誘電性絶縁層25により磁気パス33から絶縁されている。領域14、15へのオーム接触は、部材37、38により、それぞれもたらされる。BiMOS処理において、部材37、38は、ドーパされたポリシリコンを具備しているが、通常の金属または他の導電性金属を用いてもよい。

図13Bのメモリセルの通常の読み取り動作の間に、ポリシリコンのゲート部材24は、センサのチャンネル17内にp+逆転層35を作り出すために接地される。いったん、逆転層35が形成されると、駆動電流が、ソース/ドレイン領域14、15間に流れ得る。電圧 V_{Hall} は、磁界32に応じて（ページ内に入っていく方向またはページから出てくる方向のいずれかに向けられている）層35に発生される。

図13Cには、図13Aの磁気メモリセルの、切断線B-B'に沿った断面図が、示されている。図13Cは、バイポーラ接合トランジスタがMOSホールセンサに組み込まれる方法を示している。基本的に、このことは、チャンネル領域17に直に隣接させてベース領域19、18を形成することにより行われ、これにより、逆転層35は、通常はトランジスタ28、29のベース-コレクタ接合であるものまで完全に延びる。

図13Cにおいて、p型領域19、n型領域21、およびn型基板27は、NPNトランジスタ28を形成している。NPNトランジスタ29は、基板27と、p型ベース領域18と、n型エミッタ領域22とにより形成されている。前述したように、電流 I_d が逆転層35を流れるときに、ホール電圧がチャンネル17の横部に展開される。p型逆転層35は、チャンネル17にわたって完全に延

び

ており、このチャンネル17において、p型ベース18、19に対してオーム接続をする。したがって、逆転層35において展開された電圧 V_{Hall} は、トランジスタ28、29のベース領域18、19に、それぞれオーム接合される。

ソレノイド33は、マッシュズの従来技術のメモリセルの磁束パスの長さを著しく増大させ、これにより、セルの磁氣的効率を著しく増大させ、かつ、セル内に情報を書き込むために必要とされる電流量を著しく低減させる。セルのサイズについては、対応づけて低減させてもよい。同時に、ソレノイドは、漂遊磁束と、隣接セルに対するその影響とを低減させる。

図14を参照すると、ベイト特許に示されたものと同様の磁界センサを用いた磁気半導体メモリセルが断面図で示されている。しかし、この磁気半導体メモリセルは、図8に関連して前述したタイプのソレノイド33を組み込んでおり、このソレノイド33については外形線で示している。図14のメモリセルは、小さな電流不均衡を感知することができ、かつ、結果として生じる電圧を増幅することにより、出力信号が急速かつ著しい電流振動を受けることができるという利点を提供する。より詳細には、図14に示した実施形態において、ゲート G_1 、 G_2 およびドレーン D_1 、 D_2 は、磁界が存在しないときには、概略的に示された電圧ソース34により決定された同じ電位である。この構造は、本質的に、2つの別個のFETを画定しており、一方のデバイスは、 D_1 、 G_1 、およびソース S_1 を備え、他方のデバイスは、 D_2 、 G_2 、およびソース S_1 を備えていることが分かる。これら2つのデバイスのゲートは、互いに十分近接して形成されており、これにより、これらのゲートは、磁界に応じて相互作用して以下のような強められた出力を生成する。

磁界が、円状の矢36の先端により概略的に示されるように、図面シートから出る方向に向けられるように適用されると、 G_1 の下逆転層内の正孔は、電界と磁界との複合効果に起因する力により、左から右へ、 G_2 の下逆転層へ逸らされる。結果として、ドレーン電流 I_{D2} が増大し、その一方で、電流 I_{D1} が減少する。ドレーン D_2 、 D_2 のゲート G_2 、 G_1 への交差接続は、強められた出力信号

を生じさせる正フィードバックをそれぞれもたらす。外部装荷抵抗 R_L を変動させることは、FET磁界検出器の感度と安定性とに影響を及ぼす。他のメモリセルと比

較すると、協同する強磁性体部材を、ベイトによる従来技術の磁界センサと組み合わせることにより形成された、図14のメモリセルは、2つの別個のゲート部の電位を制御するために、2つの別個の制御線を必要とする。しかしながら、セルのセンサ部は高い感度を示す。協同する強磁性体部材は、2つのゲート上に配置され、かつ、電氣的にも磁氣的にもこれら2つのゲートに付くことはない。

前述の磁気集積回路構造を用いた、他の新しくかつ利点を有する磁気半導体メモリについて、以下に説明する。

図15を参照すると、図1の磁気集積回路構造を用いた、2ワード・バイ・2ビット（4セル）の記憶セルアレイが示されている。各々の記憶セルは、図1に関連して前述したものと同一構造を有している。すなわち、各々の記憶セルは、強磁性体ゲートと、該強磁性体ゲートに磁氣的に連結されている協同強磁性体部材とを有するmag FETを組み込んでおり、これにより、C形状磁石が形成されている。各々のセルは、ワード線と、2つのデータ線と、接地線と、または基準電位線とに対する接続を必要とする。接地線については、それに隣接した全てのセルが共有してもよい。したがって、 2×2 配列の異なる半分を、対称線の周りの互いに反映させることにより、レイアウトの効率が達成される。次に、全てのセルのソースは、単一の接地線に共通して接続されている。対称線を挟んで互いに直接対向している2つの対向セルは、小型化を促進するために、単一のソースを共有してもよい。示された実施形態においては、一方のソース S_1 がセル1500、1510により共有されており、かつ、他のソース S_1 がセル1501、1511により共有されている。あるいはまた、これらのセルは、各々が別個のソースを有していてもよく、このことは、あるタイプのデコーダ・スキームにおいては望ましい。

データ線は、メモリワード“を横切って”延びており、かつ、選択線は、メモリワード“に沿って”延びている。選択線は、単一メモリワード内における異な

るセルのゲートに、共通に接続されている。したがって、セル1500, 1501のゲート00G, 01Gは、R/W0選択線SEL0により接続されている。セル1510, 1511のゲート10G, 11Gは、R/W1選択線SEL1により接続されている。反対方向においては、差動(differential)データ線の組

(DATA0)の一方の線D0は、それぞれのセル1500, 1510の2つのドレーンの中で対応するもの(例えば、ドレーン01D1, 11D1)に接続されており、かつ、同じ差動データ線の組の他方の線D06は、同じセルのドレーンの中で対応する(先程とは)別のもの(例えば、ドレーン01D2, 11D2)に接続されている。同様に、差動データ線の組(DATA1)の一方の線D1は、ドレーン00D1, 10D1に接続されており、かつ、同じ組の他方の線D16は、ドレーン00D2, 10D2に接続されている。

各々のゲートが、対応するそれぞれのチャンネル領域において、上方向または下方向のいずれかに垂直方向の磁界を生成するように、磁氣的に極性を与えられていると仮定する。ワード0に記憶された情報を読み出すために、選択線S0が、例えば、セル1500, 1501のそれぞれのmagFETを伝導させるのに十分な2Vのレベルまで駆動される。差動線の組は、それぞれの感度増幅器に連結されている。前述した電流の偏向の機構およびそれぞれのmagFETは、セル1500, 1501のそれぞれの磁石内に記憶された磁界の極性を感知するが、これらによって、これらの極性が、それぞれの異なる線の組に備えられた電圧極性に反射される。

幾つかの構成においては、読み出し(READ)動作の間に、ドレーン内の電圧を大体同じ電圧に保持して、信号を最大にし、かつ、ドレーン間における寄生トランジスタ動作を避けるか、または、ソースドレーン領域にわたってかなりの電界を生じさせるためにドレーンを比較的高電圧に保つことが望ましい。これらの目的については、図26に示されるように、単に、バッファ回路を、ドレーンにおける電流差を後続の電圧に変換するカスケード形態で追加することにより達成することができる。例えば、バイポーラトランジスタのエミッタまたは他のMOSデバイスのソースについては、ベースまたはゲートを一定の電位に保持さ

せている間に、ドレーンに結びつけることができる。高いかまたは安定した $magFET$ 内の電圧を実質的に維持する一方で、 $magFET$ における電位差が、コレクタまたはドレーンの変動において現れる。

データビットをセル内に書き込むためには、磁化電流を、ロジック 0 を記憶するために一方の方向に、かつ、ロジック 1 を記憶するために他方の方向に、“C

の口部を通して”通過させる必要がある。データビットを書き込むために、セルの2つのドレーンは、2つの可能な方向のうちの一方向に、一方のドレーンから他方のドレーンへ電流を通すためのトランジスタとして機能する。磁束線の方
向および結果として生じた磁界の極性は、磁化電流の方向とキャリア極性とに応じて逆転する。C形状磁石がページ上の文字Cと同じ方位を有している場合には、ページ方向における電流は、キャリアが正孔なのかまたは電子なのかに応じて、時計方向、反時計方向の磁束線を生じさせる。したがって、C形状磁石の上方の“顎部”または極片はN極として磁化され、かつ、下方の極片はS極として磁化される。ページから出る方向の電流は、反対の磁化を生じさせる。

幾つかの構成においては、必要とされる磁化電流は、例えば、実質的に $3mA$ であってもよい。適切な幅と長さとの比率の、小型のMOSデバイスでは、デバイスのゲート電圧が十分に高い電圧（例えば、 $7V$ ）まで引き上げられる場合に、このような電流を供給することができる。したがって、メモリワードに情報を書き込むためには、そのワードのための選択線が、通常は標準よりも高い電圧レベルであるものまで引き上げられる。適切な極性の差動電圧は、差動線の組に配され、それぞれのセルの磁石を対応する極性に磁化させる。したがって、これにより、ロジック 0, 1 が所望されるように表される。

図16には、図15の 2×2 記憶セルアレイの平面図が示されている。図16に示された断面図は、図17および図18にそれぞれ示されている。図16、図17、および図18は、前述した図2、図3、および図4にかなり対応しているので、さらに説明は行わない。

図15のメモリセルにおいて、各々のセルの協同強磁性体部材は、強磁性体ゲートの下に横置され、かつ、この強磁性体ゲートとともに、C形状磁石を形成し

ている。このような協同する強磁性体部材の代わりに、前述したように他の協同する強磁性体部材を用いてもよい。図19を参照すると、協同する強磁性体部材として図5のソレノイドを用いた、2ワード・バイ・2ビット（4セル）の記憶セルアレイが示されている。各々のセル内において、図5のようなソレノイドが最上部に形成され、かつ、magFETのゲートに磁氣的に連結されている。

図15の記憶セルアレイと比較すると、図19の記憶セルアレイにおいては、各々のセルには3つのデータ線が供給されている。差動線、例えばD0、D0bは、図15の記憶セルアレイと同様の方法で機能する。第3のデータ線、例えばD0Wは、書き込むべき論理値に応じて、書き込み動作に間にハイまたはローに引かれ、これにより、ソレノイドを通る電流の方向を決定する。ソースは、前述の実施形態のように接地されておらず、また、前述の実施形態のようにドレーンからのドレーンへの書き込み電流も流れない。その代わりに、書き込み電流は、ドレーンからソレノイドのコイルを通してソースへ流れる。

図15の記憶セルアレイの場合のように、図19の記憶セルアレイにおいては、対称線を挟んで互いに直接対向している2つの対向セルは、図19に示されているように、単一のソースを共有して小型化を促進してもよい。あるいはまた、セルは、各々が別個のソースを有していてもよい。

図20には、図19のメモリセルの等価回路が示されている。magFET2001のソースは、図5および図8に示されたタイプの1つであるソレノイドのコイルに連結されている。コイルの他端は、データ書き込み線D0Wに連結されている。このデータ書き込み線については、接地させてもよく、またはスイッチ2005を介してロジックのハイレベル（例えば、5V）まで引き上げててもよい。magFETのドレーンD1、D2は、差動データ線D0、D0bにそれぞれ連結されている。これらの差動データ線については、接地させてもよく、ロジックのハイレベルまで引き上げててもよく、または連動スイッチ2007A、2007Bそれぞれによって浮動させてもよい。さらに、これらの差動データ線は、差動増幅器（図示せず）にも連結されている。magFETのゲートについては、復号された行をはずす（deselect）ために接地させてもよく、読み出しのために相

対的にローの電圧レベル（例えば、2 V）まで引き上げてもよく、書き込みのためにハイの電圧レベル（例えば、7 V）まで引き上げてもよい。

動作において、データビットをメモリセルに書き込むためには、磁化電流が、2つの可能な方向のうちの一方向に、ソレノイドのコイルとmag FETとを通して流される。例えば、ロジックのハイレベルをメモリセルに書き込むために、スイッチ2009が最上部のポジションに切り換えられ、これにより、仮定して示されたnチャンネルmag FETのゲートに7 Vが印加される。同時に、スイ

ッチ2007A、2007Bが最上部のポジションに切り換えられ、これにより、ドレーンD₁、D₂に5 Vが印加され、かつ、スイッチ2005が接地される。したがって、電流I “1”が、コイルを通して、またはコイルとソレノイドのポートとを通して、右から左へ流される。ロジックのローレベルをメモリセルに書き込むためには、一方にスイッチ2005が、他方に2007A、2007Bが反対のポジションに配される。すなわち、スイッチ2007A、2007Bは接地され、かつ、スイッチ2005は5 Vまで引き上げられる。したがって、電流I “0”が、ソレノイドのコイルを通して、右から左へ流される。

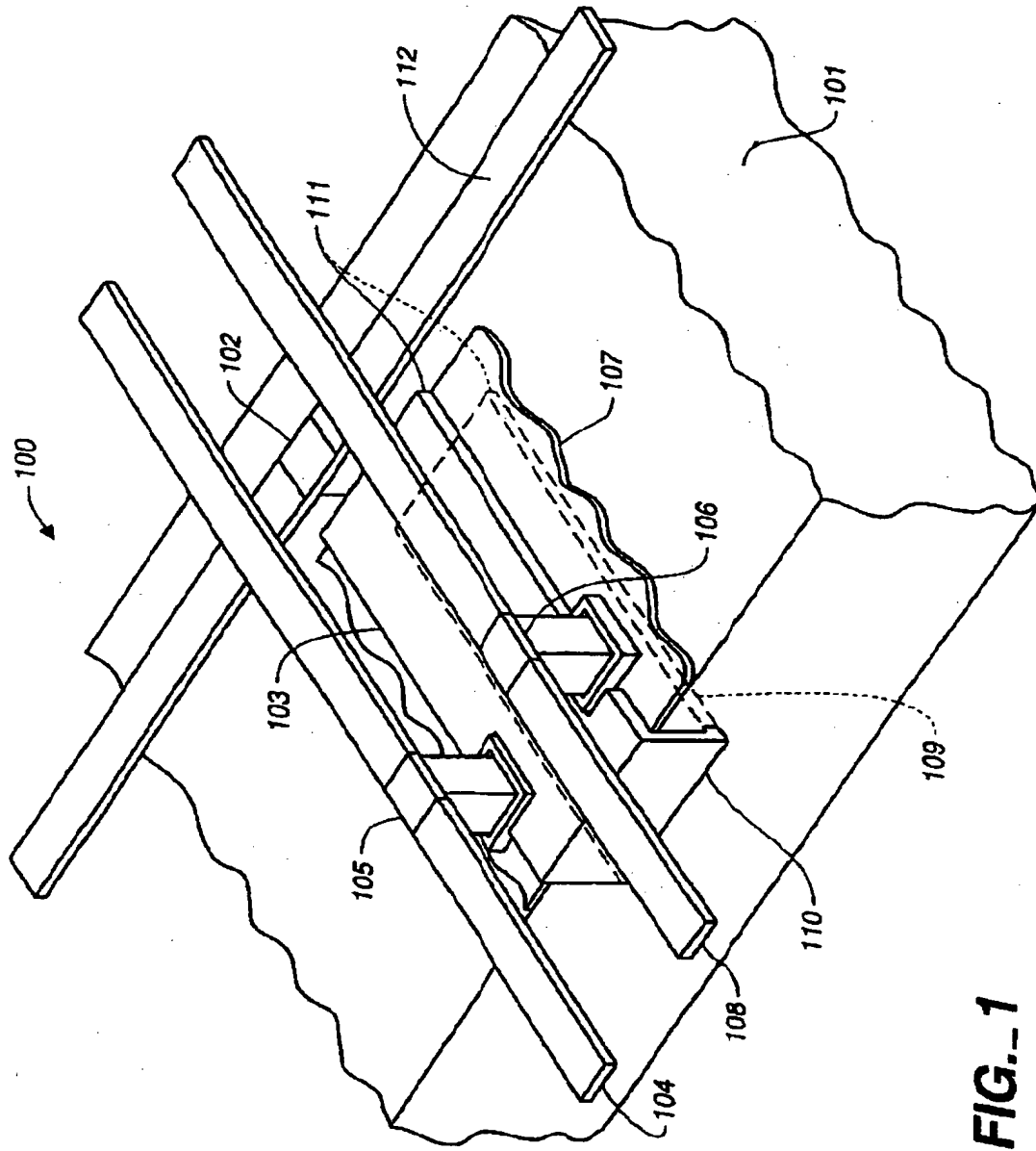
さらに、ある読み出し電流をコイルに通す、あるいはまた、ソース“S”に接触するさらなる選択ワイヤを追加することにより、読み出しおよび書き込み用のゲート電流を同じにするという“読み出し妨害”を回避することも可能である。

読み出し動作は、通常は、スイッチ2009を2 Vのポジションに設定することと、スイッチ2007A、2007BをFLOATのポジションに設定することと、スイッチ2005を接地のポジションに設定することとにより行われる。その結果、mag FET 2001は、ONにバイアスされ、かつ、ほぼ等しいドレーン電流は、磁界が存在しなければ、+VからR+およびR-へ流れる。ゲート2001に直交する磁界は、該磁界の方向に応じてR+およびR-を流れて流れる電流を、より多いかまたはより少ないかのいずれかで生じさせる。次に、この電流差が、感知用の差動増幅器に送られる。読み出し中に素子2003を流れて送られる電流量、つまり“読み出し妨害電流”は、読み出し動作が非破壊的読み出しとなるように意図されていれば、電流を切り換えるのに必要とされ

るものより著しく低い。“読み出し妨害”は、書き込み中よりも読み出し中においてより低いゲート電流を有することにより安全なマージンを供給するために、通常は、書き込み電流の30%未満に保持される。

本発明の本質的な特徴から逸脱することなく、本発明が他の特定の形式においても実施され得ることは、当業者により理解される。したがって、前述の記載は、あらゆる面で例示的なものであって制限的なものではないと考えられる。本発明の範囲は、前述の記載よりも、添付した請求項によって示されており、かつ、本発明の考えおよびその等価物の範囲内で生じるあらゆる変更は、本発明に包含されるように意図されている。

【図 1】



【図2】

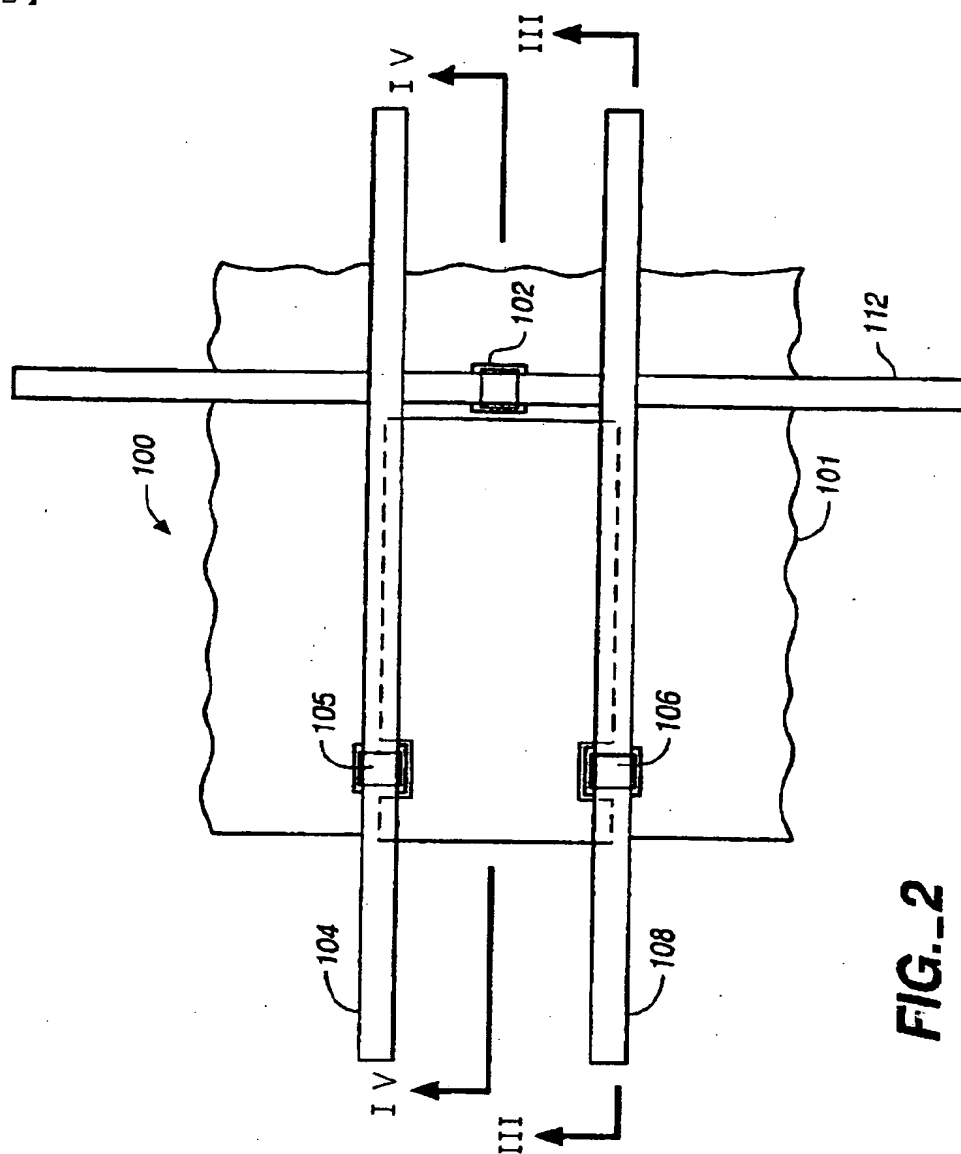


FIG. 2

【図3】

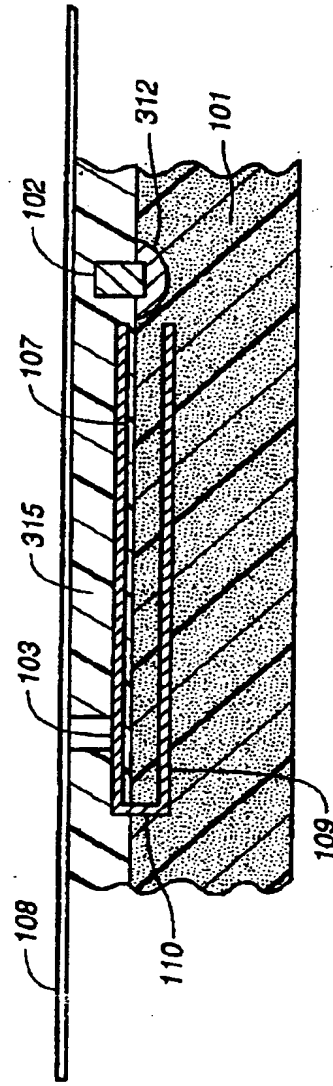
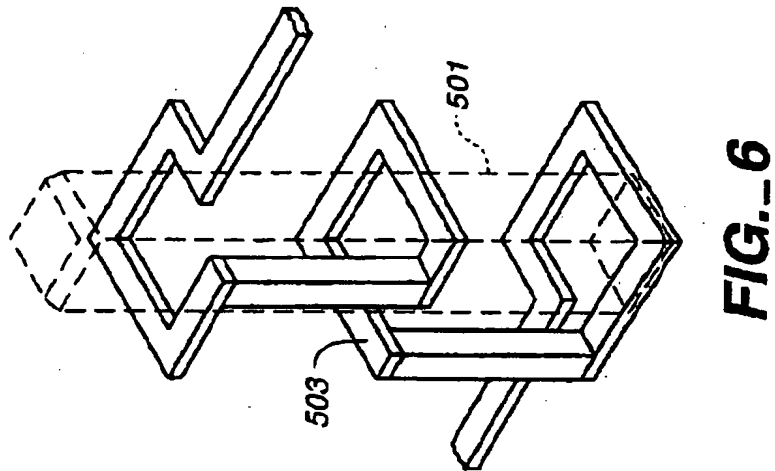
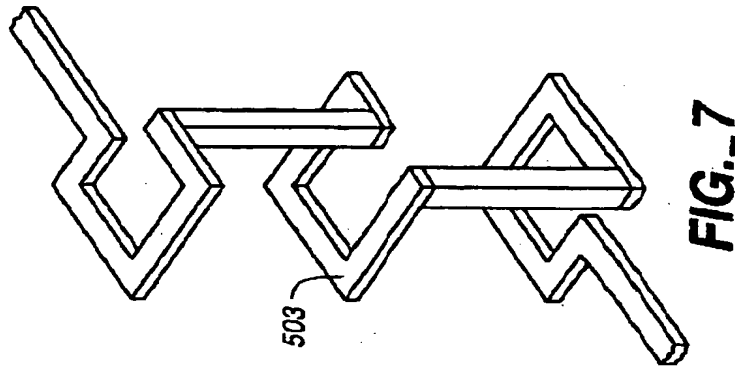


FIG. 3

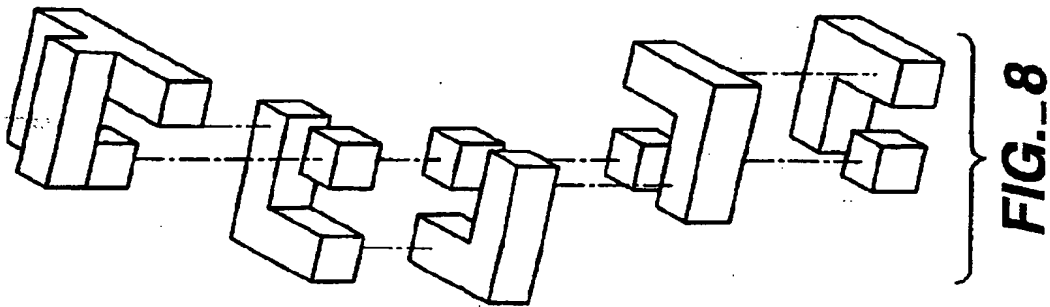
【図6】



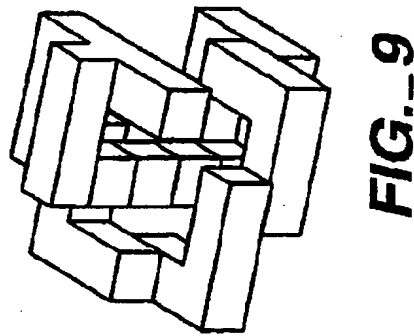
【図7】



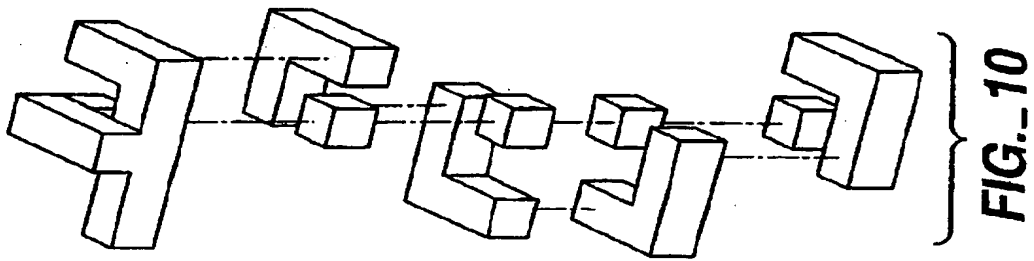
【図8】



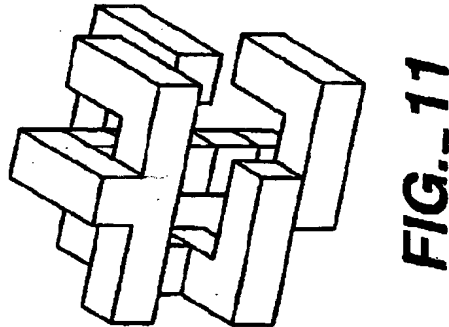
【図9】



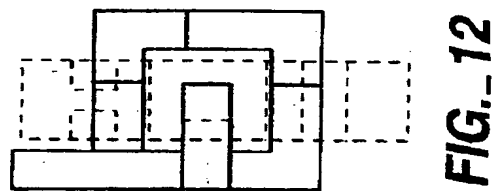
【図10】



【図11】



【図12】



【図13】

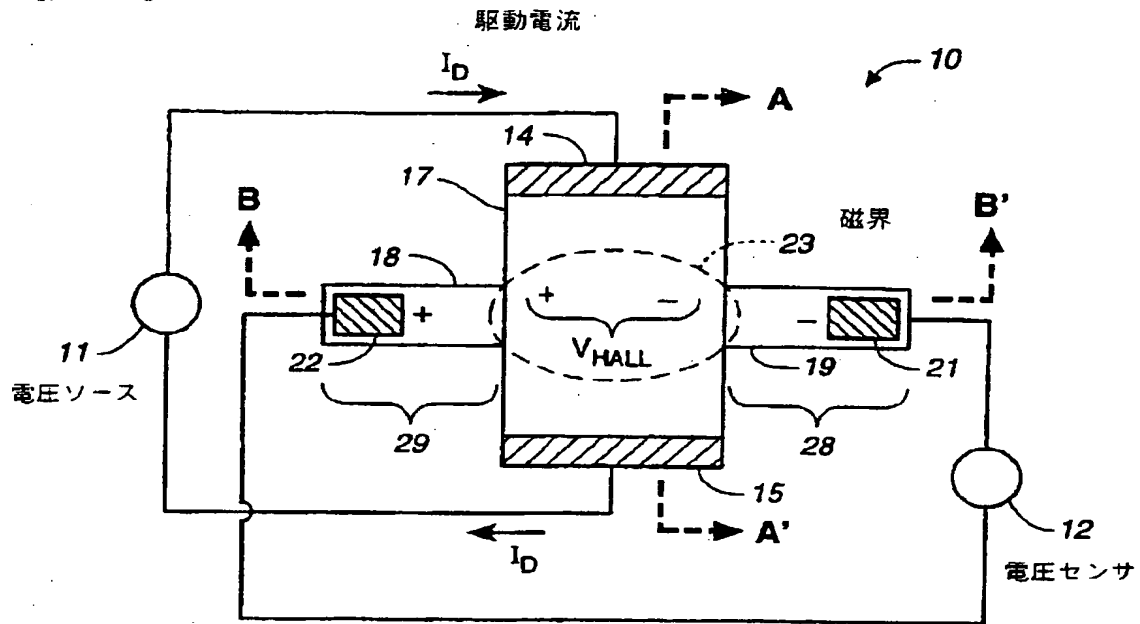


FIG. 13A

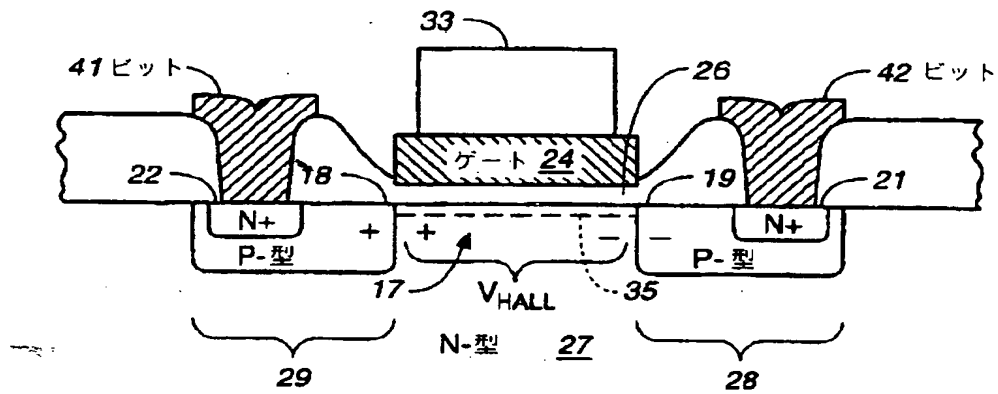
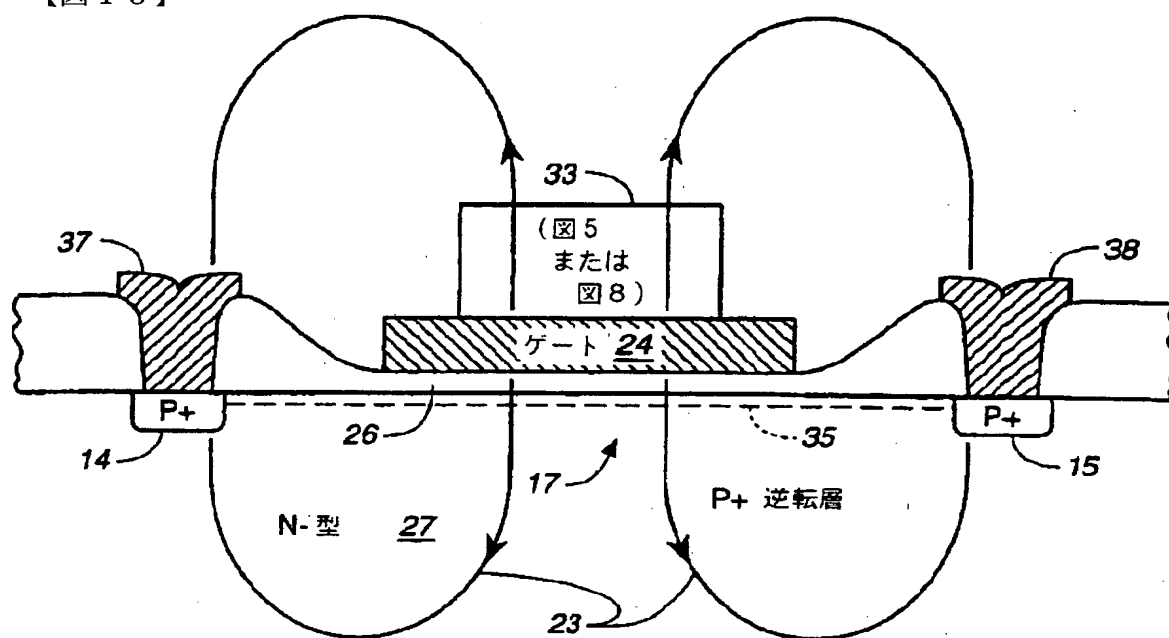
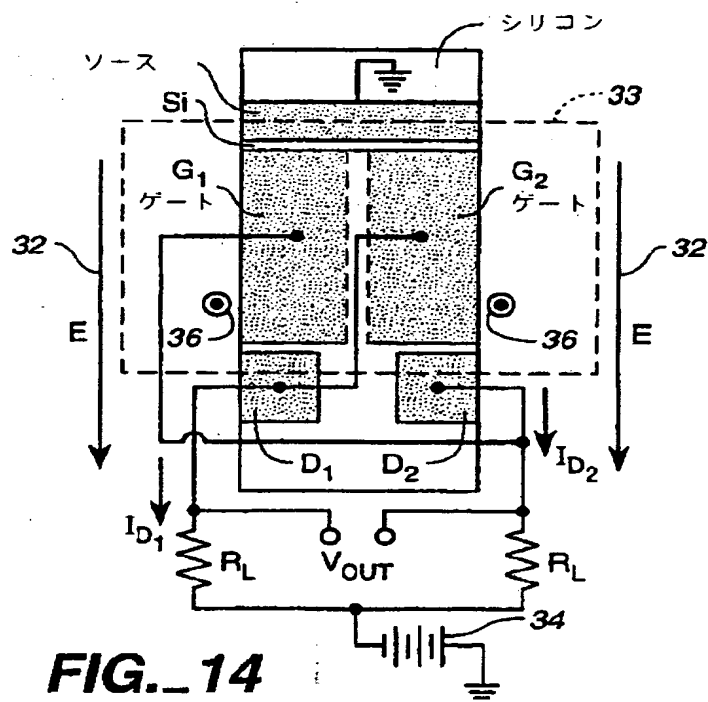


FIG. 13B

【図13】

**FIG. 13C**

【図14】

**FIG. 14**

【図 15】

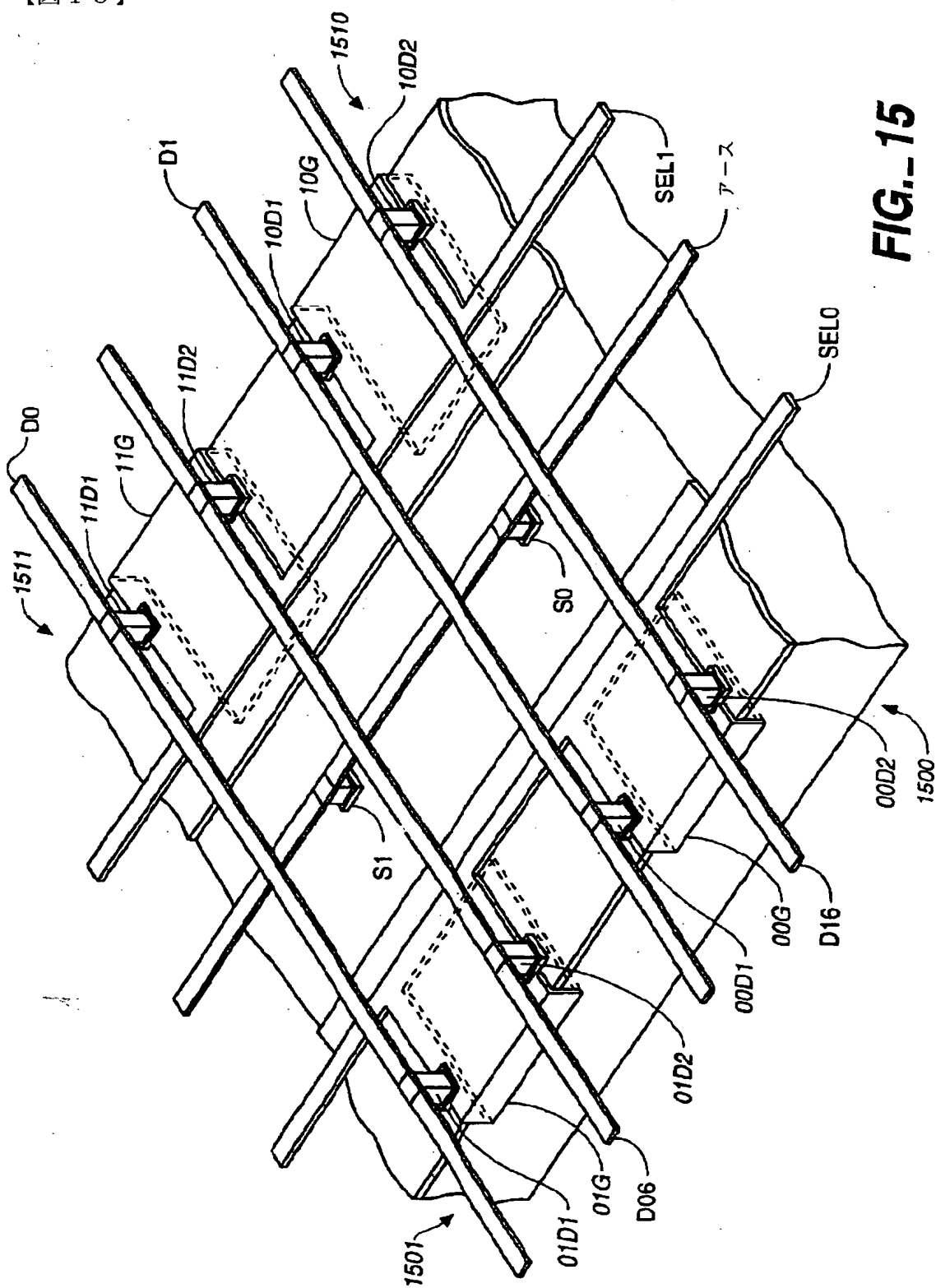


FIG. 15

【図16】

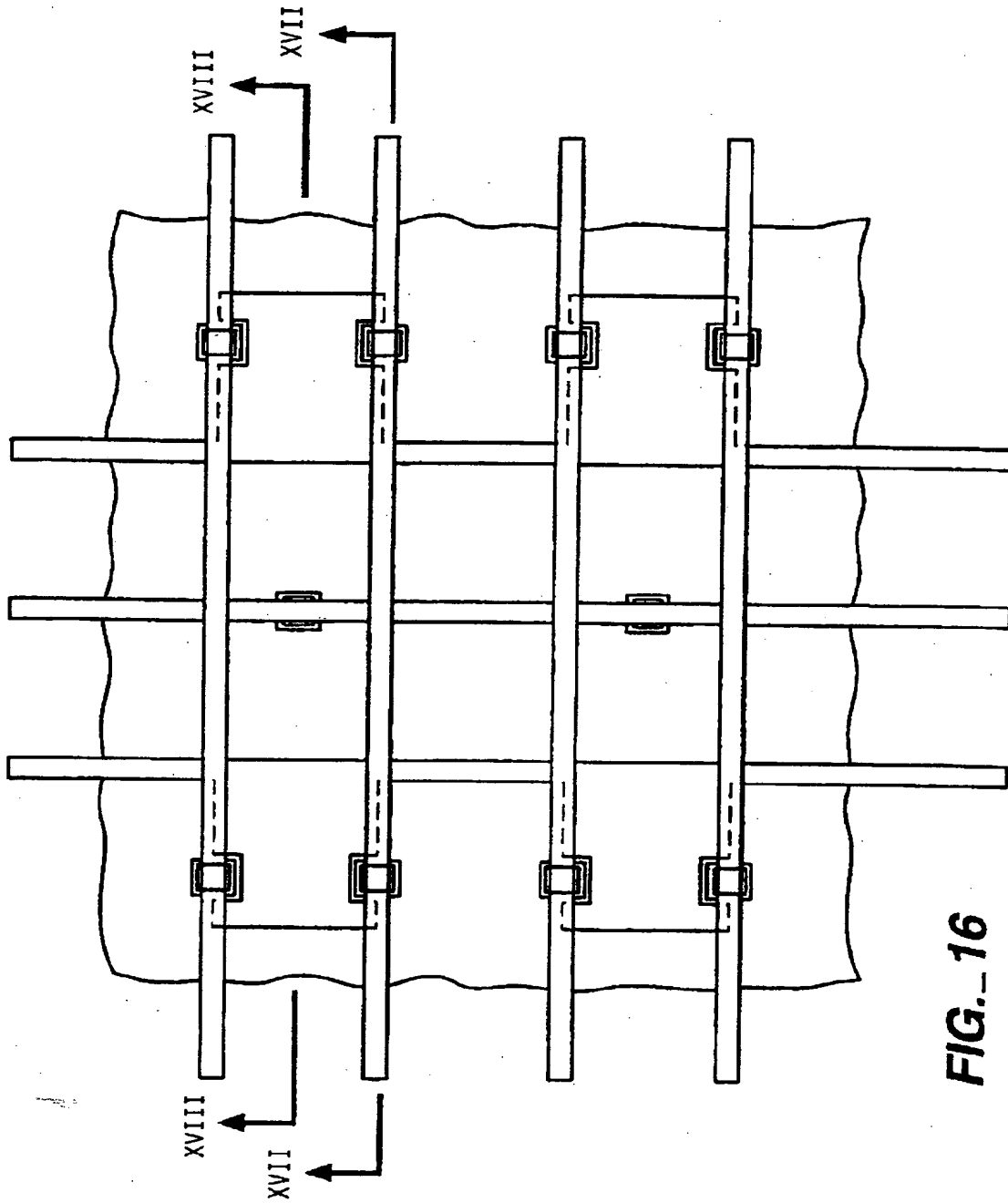


FIG. 16

【図17】

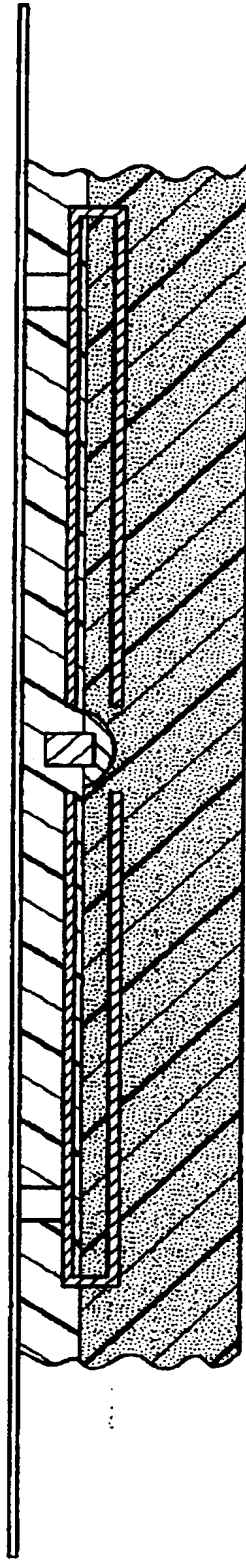


FIG. 17

【図18】

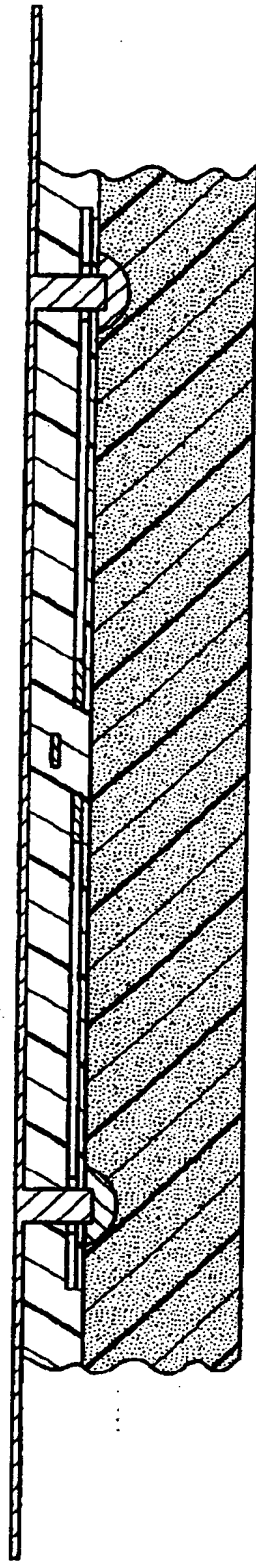
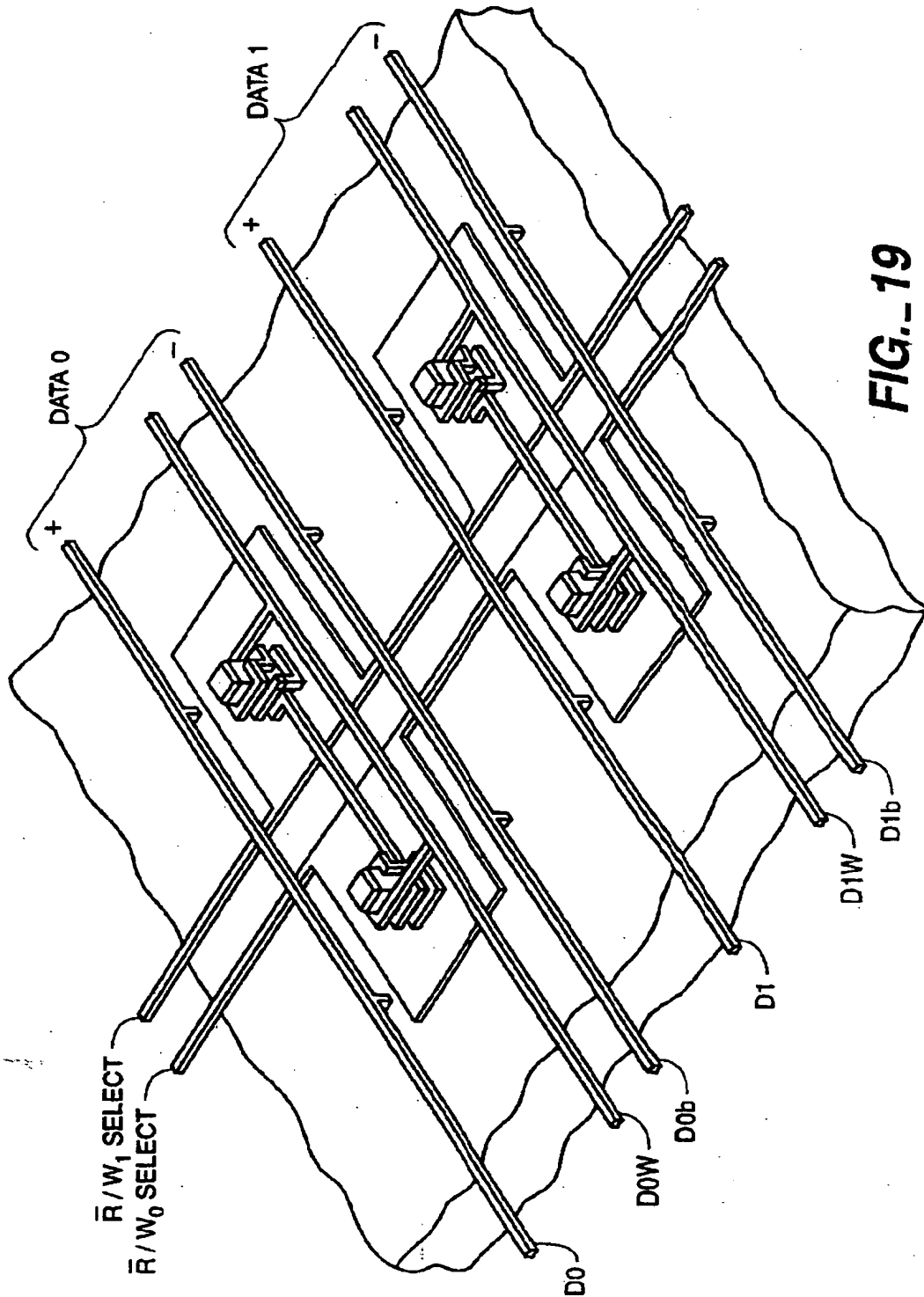


FIG. 18

【図19】



【図21】

ステップ	マスク#	およその厚さ °A
1 (非メモリ素子を適所に備えたウエーハ)	1A	
2 (不活性化非メモリ領域)		
3		
4 “C型クランプ”の底部レグをパターン化する	2A	(10,000)
5 (クランプが置かれることになる)シリコン内のトレンチをエッチングする		500
6 酸化する		10,000
7 C型クランプの磁性材料の底部を堆積させる	3A	
8 C型クランプをパターン化する		
9 磁性材料をエッチングする		
10 酸化物を堆積させる		250
11 (Siに対して開放している)ソースおよびドレインをパターン化する	4A	
12 チャネルを堆積させる(選択的に、SOI)		1,500
13 ゲート絶縁体(SiO ₂ /Si ₃ N ₄)を堆積させる	5A	250
14 ソースおよびドレインをパターン化する		
15 ソースおよびドレインを注入する		
16 酸化物を堆積させる	6A	500
17 ソース接触子およびドレイン接触子をパターン化する		
18 第1層の金属を堆積させる	7A	5,000
19 第1層の金属をパターン化する		
20 第1層の絶縁体を堆積させる	8A	2,000
21 絶縁体をパターン化する - “垂直方向のポスト”とチャンネルとを開放		
22 磁気ポストを堆積させる	9A	3,000
23 ポストをパターン化する		
24 絶縁体によって平面化する	10A	500
25 ポストに対する接触子をパターン化する		
26 2つの垂直方向の磁気ポストを堆積させる	11A	10,000
27 2つの垂直方向の磁気ポストをパターン化する		
28 絶縁体によって平面化する		
29 2つの垂直方向の磁気ポストに対する接触子をパターン化する	12A	

FIG. 21A

【図21】

ステップ	マスク#	およその厚さ
30 C型クランプの最上部を堆積させる		
31 クランプの最上部をパターン化する	13A	10,000
32 絶縁体によって平面化する		
33 絶縁体をパターン化する	14A	
34 パターン化された基板を淨化する		
35 第2層の導電金属を堆積させる		
36 第2層の導電金属をパターン化する	15A	10,000
37 第1の上側絶縁体を堆積させる	16A	5,000
38 第1の上側絶縁体をパターン化する		
39 第3層の導電金属を堆積させる	17A	10,000
40 第3層の導電金属をパターン化する		
41 第2の上側絶縁体を堆積させる	18A	5,000
42 第2の上側絶縁体をパターン化する		

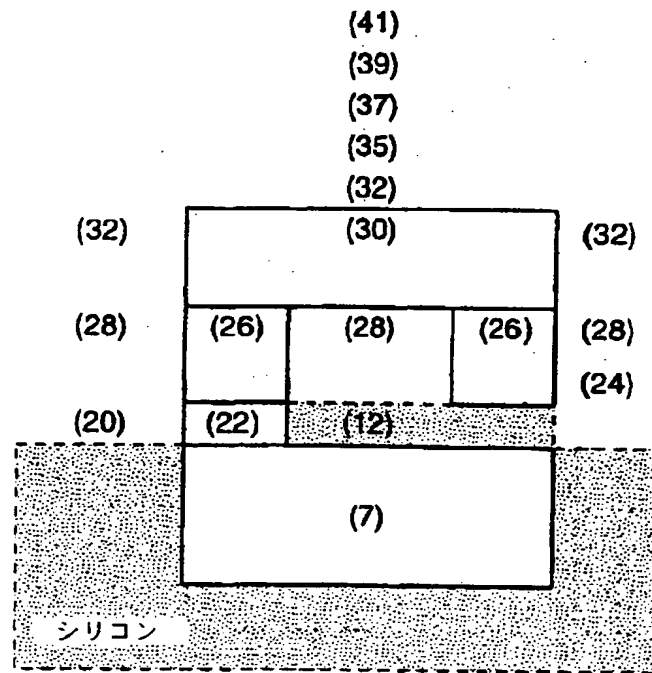
FIG._21B

FIG._21A

FIG._21B

FIG._21

【図 22】

**FIG. 22**

【図 24】

		0.2 μ	0.2 μ	0.2 μ
(48)		(48)		(48)
(46)	ポリイミド	(46)		(46)
(41)		(44)		(41)
(39)		(39)		(39)
(36)		(34)		(36)
(34)		(32)		(34)
(29)		(27)		(29)
(27)		(22)		(27)
(24)				(24)
(22)				(22)
(チャンネル)				

FIG. 24

【図23】

ステップ	マスク#	およその厚さ °A
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		
17		
18		
19		
20		
21		
22		
23		
24		
25		
26		
27		
28		
29		
30		
31		
32		
33		
34		

“処理されたウェーハ” - W/不活性化層

組み込まれたNMOSMAGFET

第1層の金属層を堆積させる
 第1層の金属層をパターン化する
 金属をエッチングする
 第1層の絶縁体を堆積させる
 第1層の絶縁体をパターン化する/ゲートを開放
 絶縁体をエッチングする
 パターン化された基板を淨化する
 NiFe磁性材料を堆積させる
 第1レベルのコイル+ポストをパターン化する
 第1レベルのポリイミドを堆積させる
 第1レベルのポリイミドをパターン化する
 パターン化された基板を淨化する
 NiFe磁性材料を堆積させる
 第2レベルのコイル+ポストをパターン化する
 第2レベルのポリイミドを堆積させる
 第2レベルのポリイミドをパターン化する
 パターン化された基板を淨化する
 NiFe磁性材料を堆積させる
 ポストをパターン化する - キャッチアップ
 NiFe磁性材料を堆積させる

FIG. 23A

【図23】

ステップ		マスク#	およその厚さ
35	第3レベルのコイルナポストをパターン化する	11	
36	第3レベルのポリイミドを堆積させる	12	1,000
37	第3レベルのポリイミドをパターン化する		
38	パターン化された基板を浄化する		
39	NiFe磁性材料を堆積させる	13	2,000
40	第4レベルのコイルナポストをパターン化する	14	1,000
41	第4レベルのポリイミドを堆積させる		
42	第4レベルのポリイミドをパターン化する		
43	パターン化された基板を浄化する		
44	NiFe磁性材料を堆積させる	15	1,500
45	ポストをパターン化する - キッチアップ		
46	NiFe磁性材料を堆積させる	16	2,000
47	第5レベルのコイルナポストをパターン化する	17	1,000
48	第5レベルのポリイミドを堆積させる		
49	第5レベルのポリイミドをパターン化する		
50	パターン化された基板を浄化する		
51	第5レベルの非磁性の絶縁体を堆積させる	18	50
52	第5レベルの絶縁体をパターン化する		
53	パターン化された基板を浄化する	19	1,500
54	NiFe磁性材料を堆積させる	20	1,000
55	ポストフックをパターン化する		
56	第6の絶縁体を堆積させる		
57	第6レベルの絶縁体をパターン化する	21	5,000
58	パターン化された基板を浄化する		
59	第1の最上部導電金属を堆積させる	22	5,000
60	第1の最上部導電金属をパターン化する	23	5,000
61	第1の上部絶縁体を堆積させる		
62	第1の上部絶縁体をパターン化する	24	
63	第2の最上部導電金属を堆積させる		
64	第2の最上部導電金属をパターン化する		
65	第2の上部絶縁体を堆積させる		
66	第2の上部絶縁体をパターン化する		

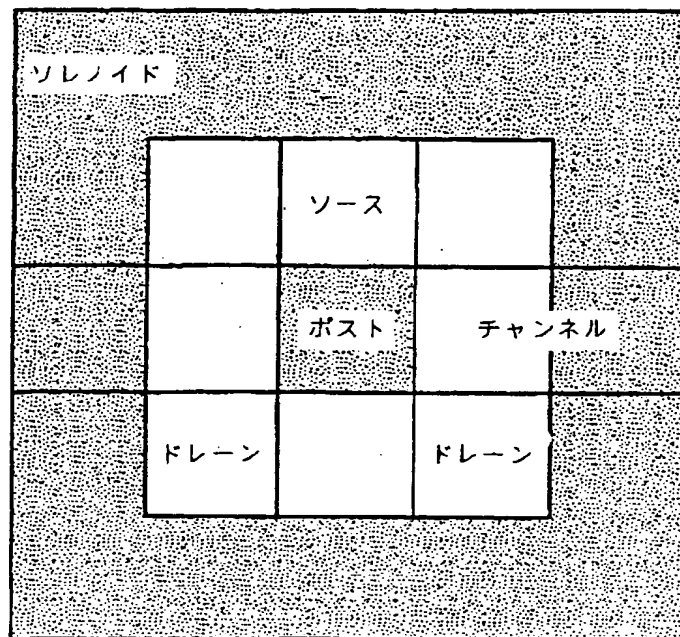
FIG. 23A

FIG. 23B

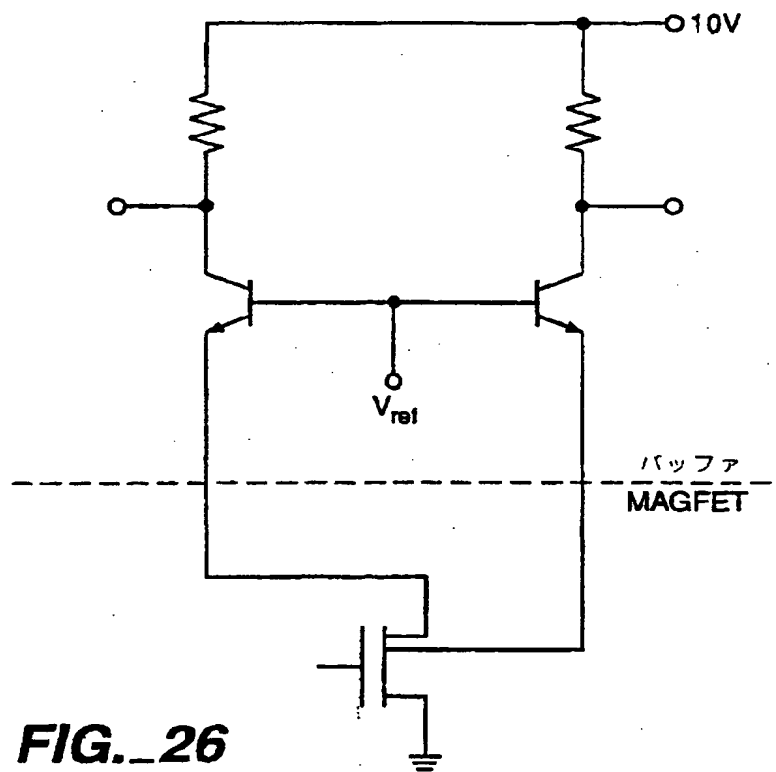
FIG. 23B

FIG. 23

【図25】

**FIG. 25**

【図26】

**FIG. 26**

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US98/06627

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : G11C 11/18, 11/155 US CL : 365/170, 171, 9 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/170, 171, 9 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,489,846 A (LI et al) 06 February 1996 (06/02/96) see entire document.	1-24
A,P	US 5,652,445 A (JOHNSON) 29 July 1997 (29/07/97) see entire document.	1-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "X" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention "Y" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Z" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 18 MAY 1998		Date of mailing of the international search report 03 JUN 1998
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer J. A. LE... Telephone No. (703) 308-1497

フロントページの続き

- (72) 発明者 モニコ, ジュアン
アメリカ合衆国 カリフォルニア 95123
サン ジョーズ ディア コート 504
- (72) 発明者 ヴォーグリ, オットー
アメリカ合衆国 カリフォルニア 95037
モーガン ヒル サイカモア 13465